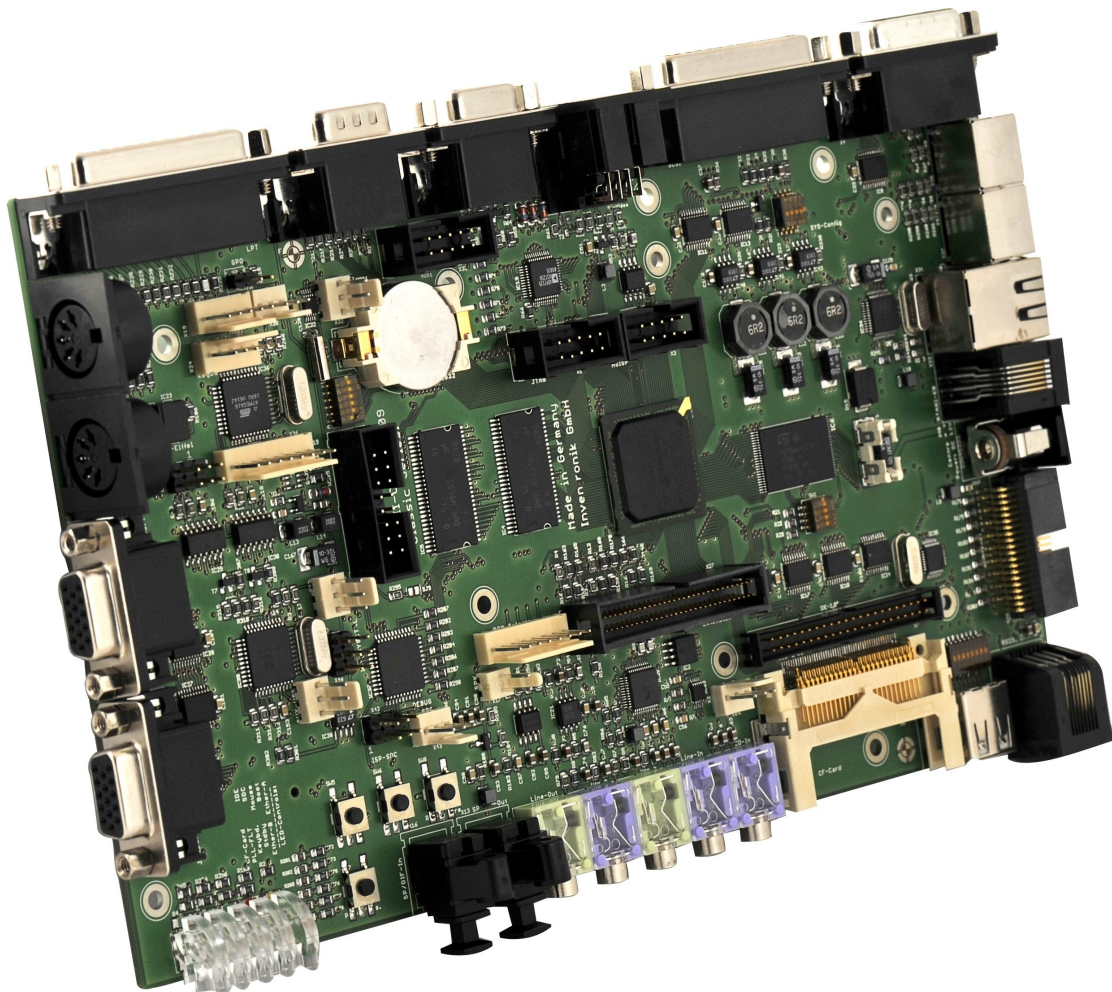


Benutzerhandbuch Suska-III-C als Plattform für die Realisierung von Retro-Computern



Have Fun!

Jens Carroll
Wolfgang Förster
Inventronik GmbH 2013

Änderungshinweis:

Rev. 1.0 05-2009, erste Veröffentlichung

Rev. 1.1 07-2009, geringfügige Änderungen und Ergänzungen.

Rev. 1.2 12-2009, Ergänzungen.

Rev. 1.3 02-2010, IDE Cable Select Informationen.

Rev. 1.4 06-2013, Änderungen am SYS-Config Schalter

Änderungen vorbehalten.

Atari ist ein eingetragenes Warenzeichen der Infogrames Entertainment
Amiga ist ein eingetragenes Warenzeichen der Amiga Inc.

Inhaltsverzeichnis

Einführung.....	11
Hinweise zum Betrieb.....	13
Hinweise zu dieser Dokumentation.....	13
Inbetriebnahme des Systems.....	14
Die Spannungsversorgung.....	14
Anschluss der minimal erforderlichen Peripheriegeräte.....	14
Systemkonfiguration.....	15
Konfigurationsschalter FLASH_OFFSET (SW1).....	15
Konfigurationsschalter SCSI_ID (SW2).....	17
Konfigurationsschalter MST_Config (SW3).....	18
Konfigurationsschalter SYS-Config (SW4).....	18
Lötbrücken SJ1 und SJ2	19
Lötbrücken SJ3 bis SJ8.....	20
Lötbrücke SJ9.....	22
Systembeschreibung.....	23
Der System Mikrocontroller.....	23
Der PS/2 Mikrocontroller.....	24
Der SD-Karten Mikrocontroller.....	26
Das Field Programmable Gate Array (FPGA).....	27
IP-Core im FPGA.....	27
Ethernet Baustein DP83848C.....	28
USB Controller MAX3421E.....	28
Video DAC ADV7125KST50.....	28
Audio-DAC AD5302.....	28
Audio-Codec CS4299.....	28
Weitere Audiohardware.....	29
Uhr DS1392.....	29
Taster und Betriebsanzeigen.....	29
Schnittstellenbeschreibung.....	30
Schnittstellen frontseitig.....	31

Schnittstellen linksseitig.....	31
Schnittstellen rechtsseitig.....	32
Schnittstellen rückseitig.....	33
Schnittstellen boardseitig.....	33
Modifikationen am System.....	35
Laden des Betriebssystems via Bootloader.....	35
Laden des Betriebssystems via SD-Karte (momentan noch nicht implementiert).....	36
Laden des FPGA IP-Cores.....	36
Laden des FPGA IP-Cores via SD-Karte (momentan noch nicht implementiert).....	36
Laden des FPGA IP-Cores via Active-Serial Protokoll.....	37
Laden des FPGA IP-Cores via JTAG.....	37
Aufspielen von Software auf die Mikrocontroller.....	39
Anhang1: Belegung der Steckverbinder.....	40
I2C X2.....	40
ACSI X4.....	40
SCSI X5.....	41
IDE X7: Belegung gemäß Standard;.....	41
(Steckertyp auf der Leiterplatte: MA22-2_RM2 von Samtec).....	41
VGA X8.....	42
Atari Video X9.....	42
Speaker X17.....	42
GPO X18.....	43
MIDI X19.....	43
MIDI-In X20.....	43
MIDI-Out X21.....	43
ROM Selects X22.....	43
Atari KBD X23.....	44
AUX1 X24.....	44
Joyport 2 X25.....	44
Joyport 1 X26.....	45
Extension X27; (Steckertyp auf der Leiterplatte: TML-132 von Samtec).....	46

Rom-Port (Cartridge) X28; (Steckertyp auf der Leiterplatte: TML-120RA von Samtec).....	47
Floppy Disk X29.....	49
Printer Port X30.....	49
RS232 X31.....	50
ALARM X32.....	50
AUX2 X33.....	50
Ethernet X34.....	51
AUX3 X36.....	51
PS2-MOUSE X37.....	51
PS2_Debug X39.....	51
PS2-KBD X40.....	52
SDC_Debug X43.....	52
LCD X44.....	52
AUX-USB X45.....	53
SYSCTRL_Debug X47.....	53
Power X48.....	53
Anhang 2: Tastatur-Scancodes / Umsetztabelle.....	54
Anhang 3: Mega STE Konfigurationsschalter.....	55
Anhang 4: Schaltbild.....	55
Anhang 5: Bestückungsdrucke.....	56
Anhang 6: Weiterführende Literatur.....	58
Anhang 7: Web-Links.....	58

Tabellenverzeichnis

Tabelle 1: Adressoffsets des Flash Speichers.....	15
Tabelle 2: Belegung der I2C Schnittstelle X2.....	40
Tabelle 3: Belegung der ACSI Schnittstelle X4.....	40
Tabelle 4: Belegung der SCSI Schnittstelle X5.....	41
Tabelle 5: Belegung des VGA Anschlusses X8.....	42
Tabelle 6: Belegung der Atari Videobuchse X9.....	42
Tabelle 7: Belegung der MIDI Schnittstelle X19.....	43
Tabelle 8: Belegung der MIDI-In Buchse X20.....	43
Tabelle 9: Belegung der MIDI-Out Buchse X21.....	43
Tabelle 10: Belegung des ROM Selects Steckers X22.....	43
Tabelle 11: Belegung der Atari Tastaturbuchse X23.....	44
Tabelle 12: Belegung der AUX1 Schnittstelle X24.....	44
Tabelle 13: Belegung der Joyport2 Schnittstelle X25.....	44
Tabelle 14: Belegung der Joyport1 Schnittstelle X25.....	45
Tabelle 15: Belegung des Erweiterungssteckers X27.....	47
Tabelle 16: Belegung des Cartridge Steckers X28.....	48
Tabelle 17: Belegung der Floppy Buchse X29.....	49
Tabelle 18: Belegung der Druckerschnittstelle X30.....	50
Tabelle 19: Belegung der Buchse der seriellen Schnittstelle X31.....	50
Tabelle 20: Belegung des RTC Alarmsteckers X32.....	50
Tabelle 21: Belegung der AUX2 Schnittstelle X33.....	50
Tabelle 22: Belegung der Ethernetbuchse X34.....	51
Tabelle 23: Belegung der AUX3 Schnittstelle X36.....	51
Tabelle 24: Belegung der PS/2 Mausbuchse X37.....	51
Tabelle 25: Belegung des PS/2 Microcontroller Debugging Steckers X39.....	51
Tabelle 26: Belegung der PS/2 Tastaturbuchse X40.....	52
Tabelle 27: Belegung des SDC Microcontroller Debugging Steckers X43.....	52
Tabelle 28: Belegung der LCD Schnittstelle X44.....	52
Tabelle 29: Belegung der AUX-USB Schnittstelle X45.....	53
Tabelle 30: Belegung des SYS Microcontroller Debugging Steckers X47.....	53

Abbildungsverzeichnis

Abbildung 1: Das Herzstück: Cyclone-II FPGA-Baustein.....	11
Abbildung 2: Suska-III-C Leiterplatte (Prototyp, dieser weicht geringfügig von der Serienausführung ab).....	12
Abbildung 3: Rechte Seite von Suska-III-C mit Hohlstecker (links der Mitte).....	14
Abbildung 4: Rückseite von Suska-III-C, die originale Monitorbuchse ist optional.....	15
Abbildung 5: Flash Baustein Mit Konfigurationsschalter SW1.....	16
Abbildung 6: Konfigurationsschalter SW2 "SCSI-ID".....	17
Abbildung 7: Konfigurationsschalter SW3 - (Entspricht den in Mega STEs vorhandenen Schaltern).....	18
Abbildung 8: Selektionsschalter für allgemeine Systemanpassungen.....	19
Abbildung 9: Lötbrücken SJ1 und SJ2 auf der Platinenunterseite.....	20
Abbildung 10: Lötbrücken SJ3 bis SJ8 auf der Platinenunterseite.....	20
Abbildung 11: Lötbrücke SJ9 auf der Platinenoberseite.....	22
Abbildung 12: Der System Mikrocontroller.....	23
Abbildung 13: Der PS2 Mikrocontroller.....	24
Abbildung 14: Der SD-Karten Mikrocontroller.....	26
Abbildung 15: Tasten von Suska-III-C.....	29
Abbildung 16: Frontansicht von Suska-III-C.....	30
Abbildung 17: Suska-III-C linke Ansicht.....	31
Abbildung 18: Suska-III-C rechte Ansicht.....	32
Abbildung 19: Suska-III-C Rückansicht.....	33
Abbildung 20: Anschluss eines USB Blasters an die Active-Serial Schnittstelle.....	37
Abbildung 21: Konfigurationsschnittstelle JTAG (links) und Active-Serial Programmierschnittstelle.....	38
Abbildung 22: Anschluss des AVR Programmiergeräts an Suska-III-C.....	39
Abbildung 23: Suska-III-C Bestückungs-Aufsicht.....	56
Abbildung 24: Suska-III-C Unterseite.....	57

Einführung:

Suska-III-C ist eine universelle Digitalelektronik basierend auf einem Cyclone-II FPGA (Field Programmable Gate Array) der Firma Altera vom Typ EP2C35F484 (Abbildung 1). Das FPGA kann als universell konfigurierbarer digitaler Baustein aufgefasst werden. Er ist der zentrale Bestandteil von Suska-III-C, so dass dieses Board eine rekonfigurierbare Hardware darstellt. Hiermit besteht im Prinzip die Möglichkeit der Realisierung der unterschiedlichsten digitalen Geräte. Im speziellen wurde dieses



Abbildung 1: Das Herzstück: Cyclone-II FPGA-Baustein

Board auf die Verwendung als Atari ST/STE kompatibler Computer entworfen. Daher sind alle von diesen Rechnern her bekannten Schnittstellen vorhanden. Zusätzlich sind weitere Schnittstellen vorgesehen, die unter anderem dazu geeignet sind, moderne Peripheriegeräte und Speichermedien anzuschließen. Die folgenden Ausführungen werden im Hinblick auf die Verwendung als ST/STE kompatibler Atari Clone angestellt. In der momentanen Version des Suska-III-C IP-Cores sind die Betriebssysteme TOS 1.00, TOS 1.04, TOS1.62, TOS 2.05, TOS 2.06 und emuTos lauffähig. TOS1.02 läuft aufgrund der schnellen Verarbeitungsgeschwindigkeit des IP-Cores nicht. Wie aus Abbildung 2 deutlich wird, besteht das gesamte elektronische Design aus dem FPGA (in der Mitte des Bildes) aus dem SDRAM (links des FPGA) aus dem Betriebssystem-Flash (rechts des FPGA) aus einigen elektronischen Schaltkreisen und aus einer großen Anzahl von Schnittstellen. Die Philosophie hinter Suska verfolgt die Realisierung von elektronischen Bausteinen / Baugruppen im FPGA wo immer möglich. Hierzu werden Schaltungsteile in einer abstrakten Hochsprache modelliert. Das gesamte Suska Projekt, das heißt alle Logikmodule sind in VHDL verfasst (Very High Speed integrated Circuits Hardware Description Language), die dann von einem Compiler übersetzt werden und als Konfiguration in dem FPGA ihre Funktion verrichten. Nahezu alle Schaltungsteile der Atari ST und STE Computer stehen als quelloffene Einheiten zur Verfügung; sie werden IP-Cores genannt, wobei IP für Intellectual Property steht. Die aktuellsten Versionen stehen auf www.experiment-s.de zum Download bereit. Funktionen die nicht im FPGA realisiert werden können wie beispielsweise DA-Converter, Audio-Codec, umfangreiche Speicher, analoge Schaltungsteile sowie Power-Management, FPGA relevante Hardware und einige Schnittstellenbausteine sind als diskrete integrierte Schaltkreise vorhanden.

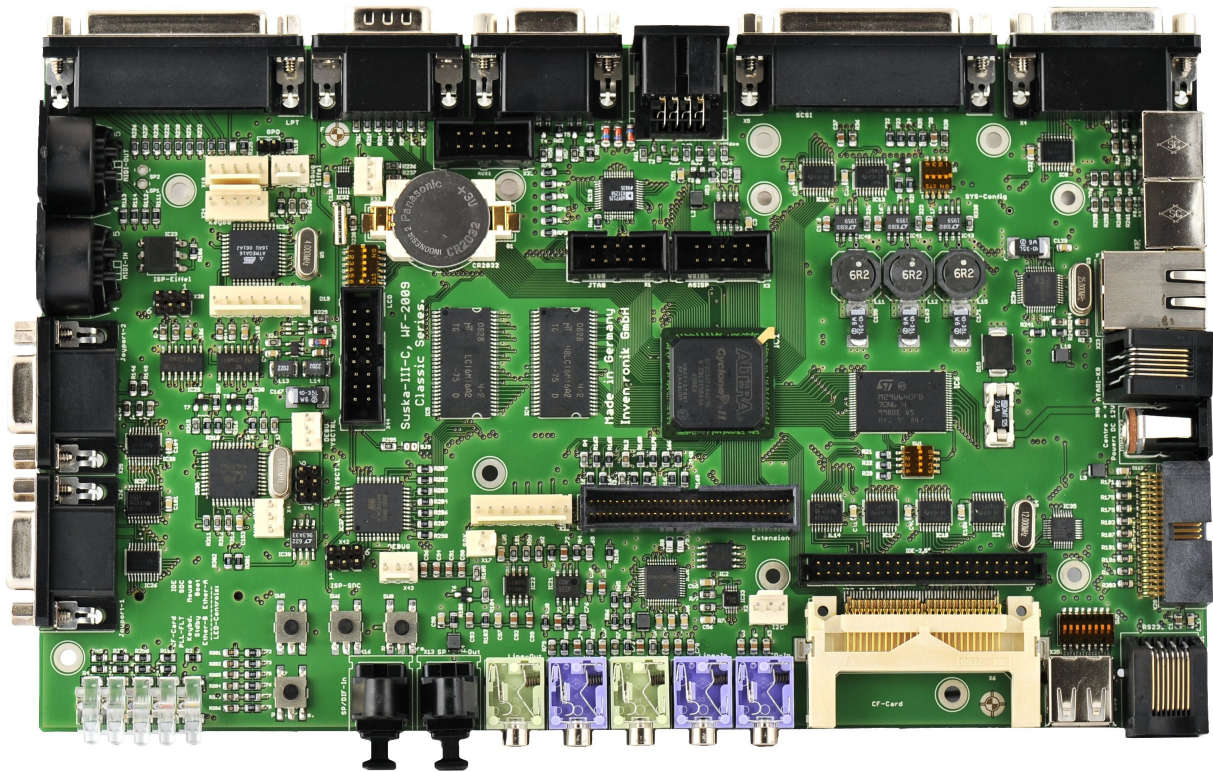


Abbildung 2: Suska-III-C Leiterplatte (Prototyp, dieser weicht geringfügig von der Serienausführung ab)

Suska-III-C zeichnet sich neben den genannten Eigenschaften durch eine sehr geringe Leistungsaufnahme aus, so dass dieses Board für Batteriebetrieb ausgezeichnet geeignet ist. Alle benötigten Spannungen werden aus 7V bis 12V Eingangsspannung gewonnen. Die drei Hauptnetzteile sind in Abbildung 2 rechts oberhalb des FPGA zu sehen. Die gesamte Hardware ist auf einer Leiterplatte mit 8 Kupferlagen realisiert und hat eine kompakte Grundfläche von 234 * 140 mm². Die höchste Bauhöhe ist durch den originale Atari ST Monitorstecker vorgegeben und beträgt lediglich 27mm.

Mit Suska-III-C steht dem Anwender eine moderne rekonfigurierbare Hardware zur Verfügung, die durch Ihre Vielfalt an Schnittstellen für viele Anwendungen bestens geeignet ist. Neben den Atari ST/STE Computern lassen sich natürlich weitere Anwendungen wie beispielsweise Amiga relevante Clones realisieren. Bei der Auswahl des FPGA und bei der Entscheidung bezüglich der realisierten Schnittstellen wurde ein Augenmerk auf eine sehr großzügige Ausstattung gelegt. Hieraus resultiert, dass sich dieses Board derzeit von den meisten am Markt befindlichen universellen FPGA Entwicklungsboards deutlich abhebt. Es gibt Bestrebungen, Suska-III-C mit einem modernen, schlanken Betriebssystem auszustatten (MINT) und hiermit einen neuen Trend im Zusammenspiel zwischen Hardware und Software aufzuzeigen. Durch die Vielzahl der Schnittstellen ist dieses Board dann auch für alle erdenklichen Steuer- und Regelaufgaben geeignet.

Hinweise zum Betrieb

Die Suska-III-C Hardware wird mit einer Spannung von 7V bis 12V betrieben. Als Spannungsversorgung dürfen nur geeignete und mit entsprechenden Sicherheitsprüfungen versehene Netzgeräte verwendet werden. Die absoluten Parameter für die Betriebsspannung dürfen nicht überschritten werden. Siehe hierzu 'Technische Daten'. Ein Verpolen der Versorgungsspannung ist zu vermeiden (siehe hierzu Abschnitt Die Spannungsversorgung).

Da auf der 8-lagigen Leiterplatte moderne Bauelemente mit entsprechenden geringen Abmessungen und 'filigranen' Anschlüssen Verwendung finden, sollte unbedingt darauf geachtet werden, dass die Leiterplatte keinen starken mechanischen Belastungen wie beispielsweise Biegung oder Querkräfte auf die Steckverbinder ausgesetzt ist. Hierdurch können sich im ungünstigsten Fall Lötverbindungen unter dem FPGA lösen; ein Defekt der wirtschaftlich nicht reparabel ist. Beim Aufstecken von Programmierkabeln auf der Oberseite der Platine sollte der entsprechende Stecker auf der Unterseite gegen gehalten werden, damit keine mechanischen Spannungen entstehen.

Es ist darauf zu achten, dass die Leiterplatte, falls sie ohne Abdeckung betrieben wird, auf einer isolierten Unterlage steht. Herumliegende Teile wie Draht- oder Zinnreste, Büroklammern etc. können zu Kurzschlüssen führen.

Hinweise zu dieser Dokumentation

Die in dieser Dokumentation beschriebenen Eigenschaften des Systems hängen von der jeweils gewählten Implementation der Hardware im FPGA ab. Da es sich bei der Modellierung dieser Hardware um ein quelloffenes Projekt handelt, stellt die im Folgenden gegebene Beschreibung keine Garantie für ein fehlerfrei funktionierendes System dar. Fehlerberichtigungen und Erweiterungen der Funktionalität können aber einfach durch Updates der FPGA Konfiguration durchgeführt werden. Speziell bei der aktiven Entwicklung mit häufigen Updates besteht die Wahrscheinlichkeit, dass das System, abhängig vom Erfolg des compilerseitigen Platzierens (Fittings) der Hardwareelemente auf das FPGA mehr oder weniger stabil läuft. Dies hat seine Ursache nicht in der Leiterplatte befindlichen Hardware sondern vielmehr im Zeitverhalten der Signale im FPGA. Somit kann vom Hersteller von Suska-III-C keine Garantie gegen derartige Effekte übernommen werden. Die Inventronik GmbH ist bemüht, stabil laufende Updates in Form von Programmierfiles zur Verfügung zu stellen.

Inbetriebnahme des Systems

Zum Betrieb der Suska-III-C Hardware müssen einige Vorbereitungen getroffen werden, die im Folgenden aufgeführt sind. Die Beschreibung stellt hierbei eine Minimalanforderung dar.

Die Spannungsversorgung

Suska-III-C benötigt eine Spannungsversorgung von 7V bis 12V. Hierzu kann ein Steckernetzteil mit einem Ausgangsstrom von etwa 1,5A verwendet werden. Der Anschluss erfolgt über den rechts befindlichen Hohlstecker Abbildung 3. Der Pluspol der Spannungsversorgung ist am Mittenstift angeschlossen

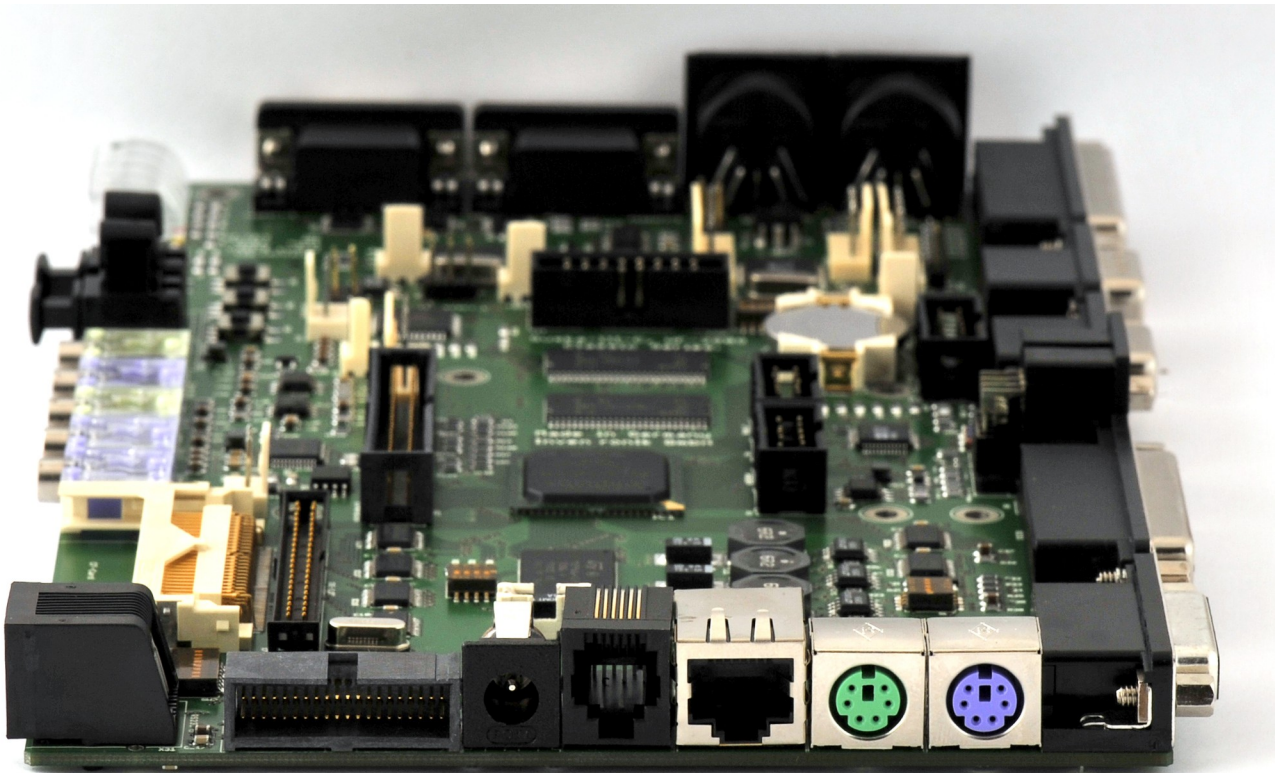


Abbildung 3: Rechte Seite von Suska-III-C mit Hohlstecker (links der Mitte).

Suska-III-C ist gegen Verpolung der Versorgungsspannung geschützt. Es kann in diesem Fall allerdings zum Schmelzen der Sicherung F1 (2,5AT) auf der Leiterplatte kommen. Diese ist dann gegen einen identischen Typ auszuwechseln (Shurter OMT 2,5A/125V).

Anschluss der minimal erforderlichen Peripheriegeräte

Um die Suska-III-C Hardware als Atari STE kompatiblen Clone nutzen zu können, muss eine Tastatur, ein Bildschirm und eventuell eine Floppydisk angeschlossen werden.

Es kann wahlweise eine originale Mega STE oder Mega ST Tastatur verwendet werden oder eine Ausführung mit PS/2 Anschluss. Es ist nicht möglich beide Tastaturtypen gleichzeitig zu verwenden. Der Anschluss der entsprechenden Tastatur erfolgt entweder am Western Stecker rechts neben dem Hohlstecker für die Spannungsversorgung oder über die violette PS/2 Buchse. Es können wahlweise die originalen Atari Bildschirme SM124, SC1224 etc. oder VGA kompatible Bildschirme verwendet werden. Auf der Rückseite von Suska-III-C sind die beide Anschlussbuchsen vorhanden, siehe Abbildung 4. Es ist zu beachten, dass die originalen Atari Bildschirme SM124 und SC1224 und ähnliche in jedem Fall unterstützt werden. Allerdings ist die 13-polige DIN-Buchse optional bestückt und auf dem Markt nur noch in sehr begrenzten Stückzahlen erhältlich, so dass von der Inventronik GmbH keine Garantie für die Verfügbarkeit übernehmen kann. Bei VGA kompatiblen Bildschirmen und TFT-Flachbildschirmen hängt es von den Synchronisationsfrequenzen ab, ob die Bildschirme geeignet sind

oder nicht. Erweiterte Bildschirmmodi zur Ansteuerung von modernen TFTs sind in bereits vorhanden oder in Vorbereitung und können via Configware-Update ins FPGA geladen werden.

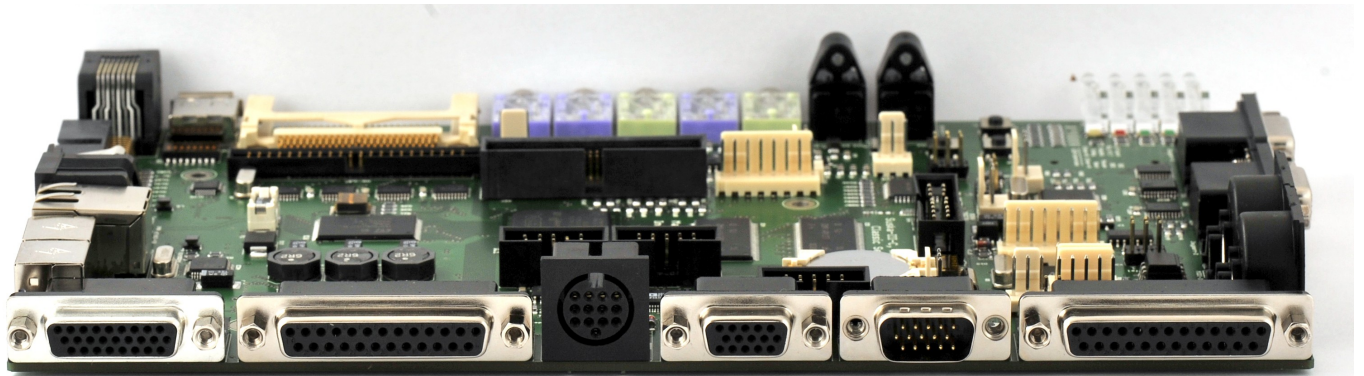


Abbildung 4: Rückseite von Suska-III-C, die originale Monitorbuchse ist optional.

Das Floppydisk Laufwerk ist über einen 'High Density' SUB-D Steckverbinder mit Suska-III-C zu verbinden es ist die zweite Buchse von rechts in Abbildung 4. Die Belegung des Anschlusskabels ist im Anhang dieser Dokumentation wiedergegeben.

Systemkonfiguration

Da der gesamte Atari kompatible IP-Core im FPGA realisiert ist, bietet sich natürlich eine Erweiterung der originalen Funktionalität an. Um die Kompatibilität zu wahren und um bestimmte Eigenschaften zu aktivieren oder zu deaktivieren, sind auf der Leiterplatte Konfigurationsmöglichkeiten in Form von Mini-DIP Schaltern und Lötbrücken vorgesehen. Während die Schalter für Systemeinstellungen vorgesehen sind, die gegebenenfalls häufiger verändert werden, sind die Lötbrücken für selten durchzuführende Änderungen vorhanden, die unter Umständen mit der Modifikation der Mikrocontroller Firmware oder der FPGA Konfiguration einhergehen. **Achtung: Zum Schließen oder zum Öffnen der Lötbrücken muss Suska-III-C ausgeschaltet und von der Spannungsversorgung getrennt werden.**

Konfigurationsschalter FLASH_OFFSET (SW1)

Der auf Suska-III-C eingesetzte Flash-Baustein verfügt über 64MBit Speicherzellen, die in $4MWords_{16}$ organisiert sind. Während die unteren $524288 Words_{16}$ durch das FPGA adressierbar sind, liegen die oberen Adressen A19 bis A21 des Flash Bausteins auf dem Konfigurationsschalter Schalter 2 bis 4 an. Der Schalter 1 von SW1 ist nicht belegt, siehe Abbildung 5, (rechts im Bild ist die Schurter Sicherung zu erkennen). Somit ergibt sich die Möglichkeit durch spezielle Schaltereinstellungen bestimmte Adressbereiche auszuwählen, wie in der folgenden Tabelle zu entnehmen ist.

Schalter 2	Schalter 3	Schalter 4	Adressoffset
Off	Off	Off	0x000000
Off	Off	On	0x080000
Off	On	Off	0x100000
Off	On	On	0x180000
On	Off	Off	0x200000
On	Off	On	0x280000
On	On	Off	0x300000
On	On	On	0x380000

Tabelle 1: Adressoffsets des Flash Speichers

Eine praktische Anwendung ergibt sich beispielsweise dann, wenn an den unterschiedlichen Adressoffsets unterschiedliche Betriebssysteme gespeichert sind. Siehe hierzu die Abschnitte Laden des Betriebssystems via Bootloader oder Laden des Betriebssystems via SD-Karte .

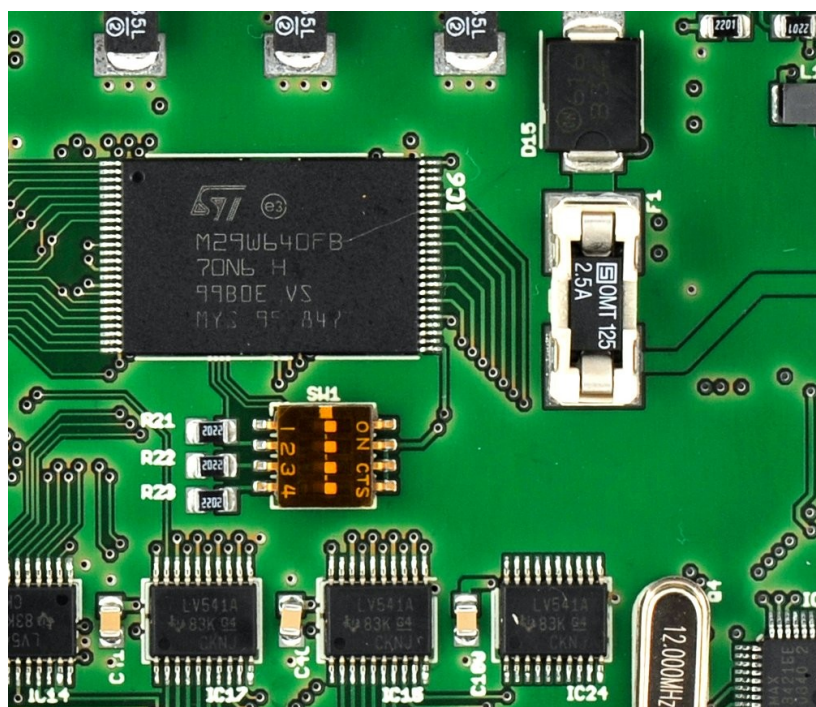


Abbildung 5: Flash Baustein Mit Konfigurationsschalter SW1.

Konfigurationsschalter SCSI_ID (SW2)

SW2 verfügt über 4 Schalter. Über Schalter 1 bis 3 wird die SCSI-ID des SCSI Hostcontrollers im FPGA eingestellt. Die Anordnung ist so gewählt, dass sich eine binäre Darstellung ergibt also beispielsweise 1=On, 2=Off, 3=Off entspricht dann der SCSI-ID 4.

Schalter Nummer 4 dient dem Schalten der PS/2 Funktionalität. Siehe hierzu Abschnitt Der PS/2 Mikrocontroller.

Die Lage des Schalters auf der Leiterplatte ist aus Abbildung 6 ersichtlich.

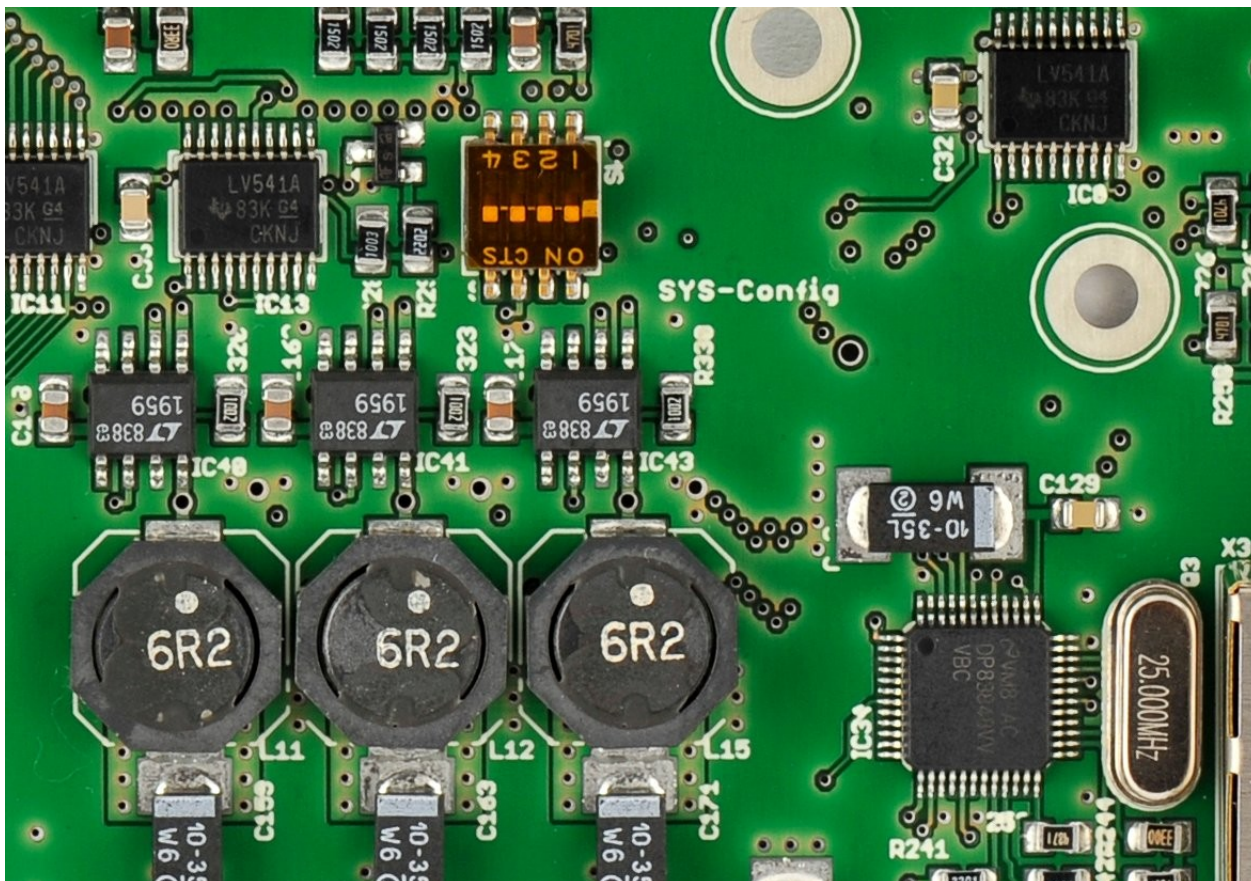


Abbildung 6: Konfigurationsschalter SW2 "SCSI-ID"

Konfigurationsschalter MST_Config (SW3)

SW3 entspricht dem auf originalen Mega STs befindlichen 8 poligen DIP-Schalter für allgemeine Systemeinstellungen. Da durch schaltungstechnische Möglichkeiten, die sich aus der Verwendung eines FPGAs ergeben, zahlreiche selektionsfreie Verbesserungen gegenüber originalen Maschinen resultieren, wird dieser Schalter momentan nicht verwendet und für zukünftige Erweiterungen vorgesehen. Eine Ausnahme besteht für die neueren TOS Betriebssysteme, die den Schalter 7 abfragen. In eingeschaltetem Zustand werden dem Betriebssystem HD-Floppylaufwerke signalisiert. Man kann dies an dem Formatierungsdialog erkennen, in dem bei HD-Betrieb die Option 'Hohe Schreibdichte' erscheint. Da der IP-Core in diesem Punkt 'intelligenter' gestaltet ist als die Originalhardware und die HD Information nicht dem Floppy-Laufwerk mitgeteilt wird sondern von diesem abgefragt und entsprechend verarbeitet, ist es nicht von Bedeutung, ob mit der Option 'Hohe Schreibdichte' formatiert wird oder nicht. Es ist sogar möglich, dass modernere Floppy-Laufwerke im HD-Betrieb besser formatieren, wenn 'Hohe Schreibdichte' nicht angewählt ist. Dies liegt an den vom Betriebssystem vorgenommenen Formatierungseinstellungen wie Steprate etc. Bei HD-Disketten, die ohne die Option 'Hohe Schreibdichte' formatiert werden, wird am Ende angezeigt, dass diese 726K freien Speicher haben. Dies ist in diesem Fall eine fehlerhafte Ausgabe. HD-Disketten haben nach der Formatierung immer 1,44MB freien Speicher. Mehr Informationen zu diesem Schalter finden sich im Anhang 3: Mega STE Konfigurationsschalter.

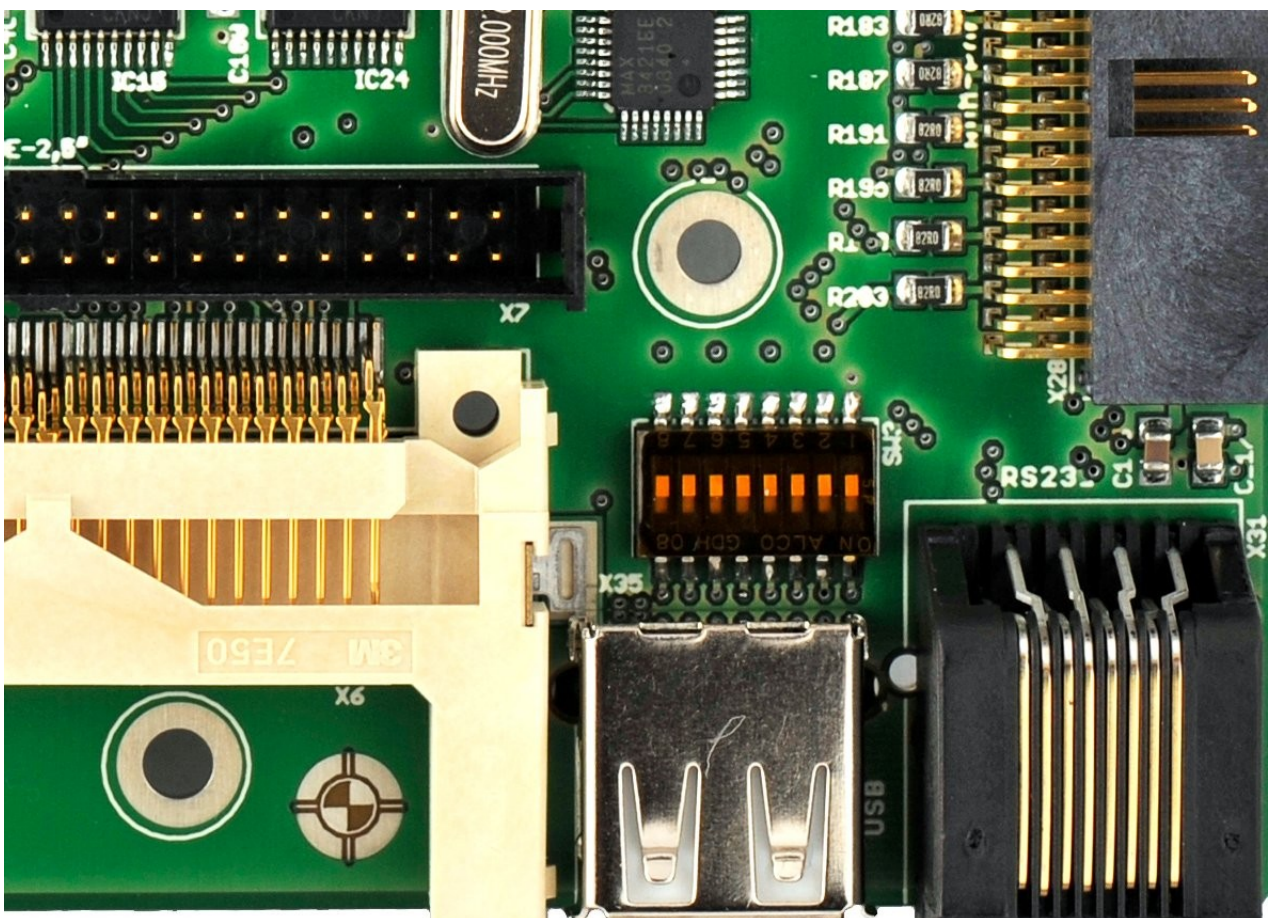


Abbildung 7: Konfigurationsschalter SW3 - (Entspricht den in Mega STEs vorhandenen Schaltern).

Konfigurationsschalter SYS-Config (SW4)

Es stehen hier sechs Schalter für die Auswahl zur Verfügung, die bei Verwendung des Suska IP-Cores wie folgt belegt sind:

Schalter 1:

dient zur Einstellung der Systemgeschwindigkeit. Während originale STs mit 8MHz getaktet waren ist der Suska Core weitgehend mit 16MHz getaktet. Dies ist notwendig um die erforderliche Videobandbreite für Multisync-Monitore zu erhalten. Die schnelle Taktfrequenz bringt allerdings Inkompatibilitäten zu Software mit, die beispielsweise Zeitverzögerungen durch

NOP-Schleifen erzeugt. Hiervon betroffen sind auch die ersten Versionen der TOS-Betriebssysteme (bis einschließlich TOS1.04). Durch Einschalten dieses Schalters wird die CPU-Geschwindigkeit reduziert und es ergibt sich somit eine verbesserte Kompatibilität, obgleich nicht zu 100%.

Schalter 2 und 3:

diese beiden Schalter sind in Vorbereitung zu den geplanten Erweiterungen der bestehenden Videomodi vorgesehen. Es lassen sich hier Einstellungen zu den angeschlossenen Bildschirmen wählen. Die Legacy colour modes entsprechen den Farbauflösungen der STEs. Der Monochrome Videomode ist für den Betrieb des SM124 vorgesehen. Die anderen Modi für den Anschluss modernerer Bildschirme (CRTs und TFTs).

Schalter 4:

mit diesem Schalter kann festgelegt werden, ob der Core mit maximal 4MB Arbeitsspeicher betrieben werden soll (wie bei ST und STE) oder ob 14MB freigeschaltet werden sollen, wie dies beim Falcon der Fall war.

Schalter 5:

für die Kompatibilität zu den originalen ST(E)s muss die Einstellung ACSI-Schnittstelle aktiviert sein. Wenn diese deaktiviert ist, so wird anstelle von ACSI die ACSI nach SCSI Konvertierung (ACSI to SCSI Bridge) eingeschaltet. In diesem Fall ist die SCSI-Schnittstelle freigeschaltet. Seit der IP-Core Version 2K13A wird dieser Schalter nicht mehr benötigt. Die ACSI und die SCSI Schnittstelle sind jetzt gleichzeitig verwendbar.

Schalter 6:

dieser Schalter dient der Auswahl der Basisadresse für das Betriebssystem. Ausgeschaltet ist die Basisadresse 0x00FCxxxx aktiv und somit die Betriebssysteme TOS 1.00 bis TOS 1.04 lauffähig. Für TOS1.62, TOS 2.05, TOS 2.06 und emuTos muss die Basisadresse 0x00E0xxxx durch Einschalten von S6 ausgewählt werden.

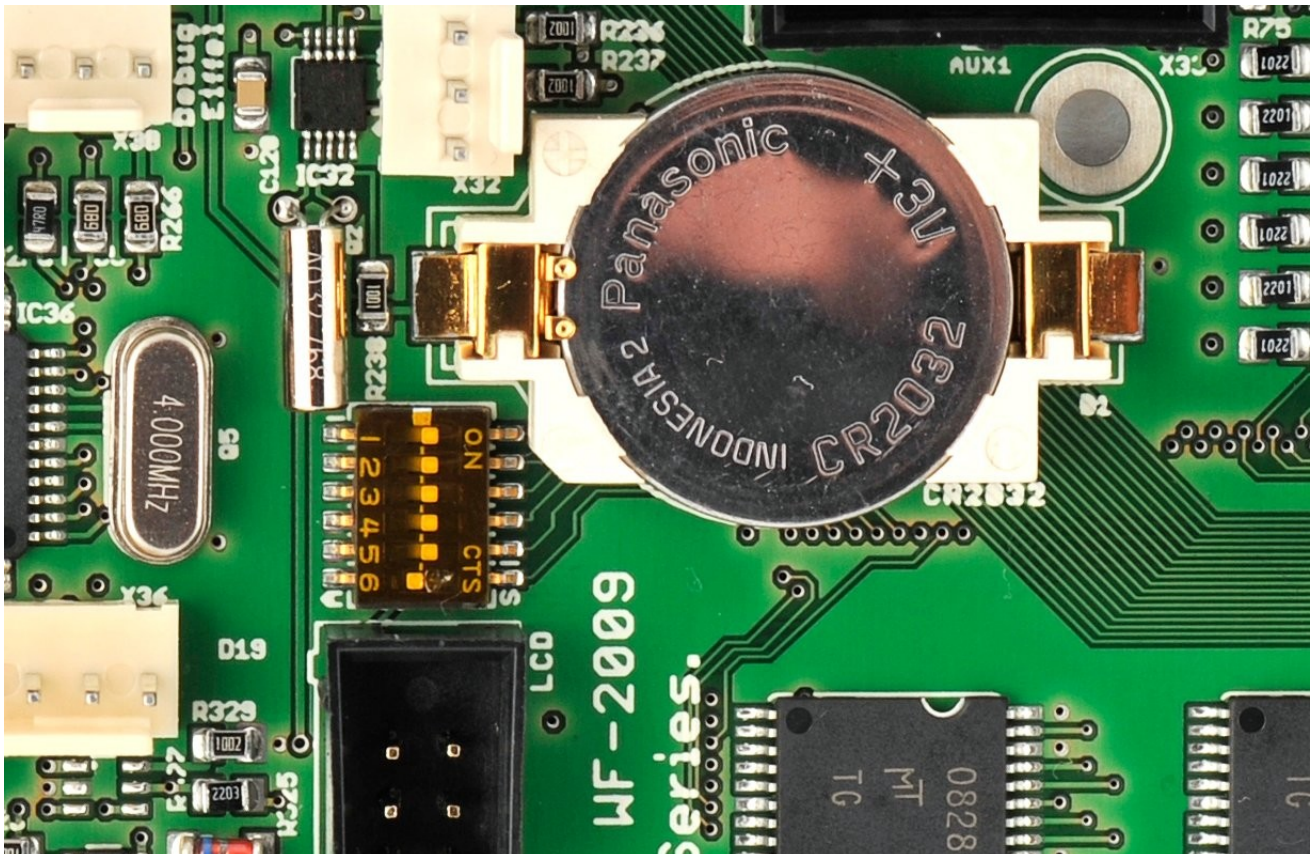


Abbildung 8: Selektionsschalter für allgemeine Systemanpassungen

Lötbrücken SJ1 und SJ2

Die Midi Schnittstelle ist im FPGA an einen 6850 kompatiblen ACIA (**A**synchronous **C**ommunication **I**nterface **A**dapter) angeschlossen. Dieser hat Eingänge für die Clear To Send (CTS_n) und die Data Carrier Detect (DCD_n) Leitungen. Diese Signale werden in originalen ST-Maschinen nicht verwendet und sind daher gegen Masse geschaltet. Durch Öffnen der Lötbrücken bietet sich die Möglichkeit, durch Software oder entsprechende Funktionserweiterungen des eingesetzten

Betriebssysteme CTSn und DCDn zu verwenden.

Diese Lötbrücken sind werksseitig geschlossen, siehe Abbildung 9. Die genaue Lage dieser Lötbrücken ist dem Bestückungsdruck der Unterseite dieser Leiterplatte zu entnehmen, der sich im Anhang befindet.

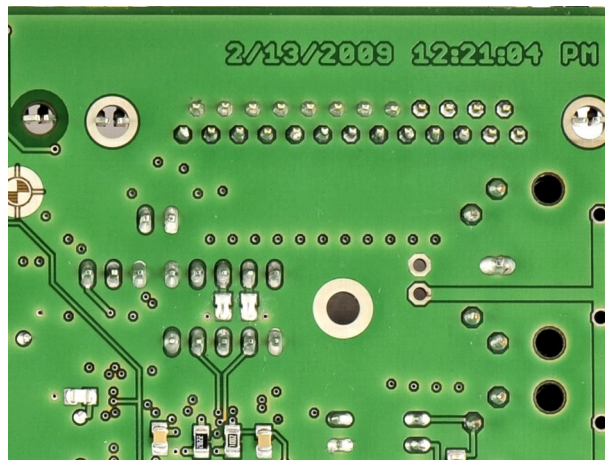
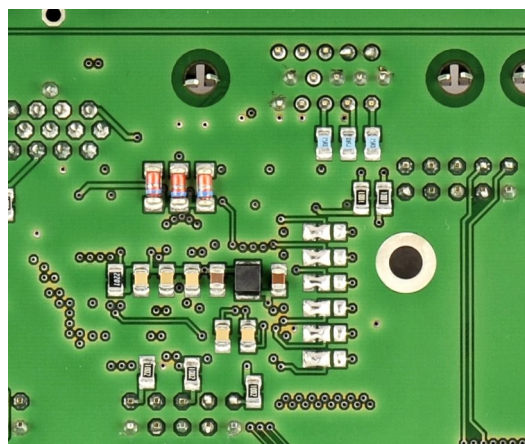


Abbildung 9: Lötbrücken SJ1 und SJ2 auf der Platinenunterseite.

Lötbrücken SJ3 bis SJ8

Die Grafikmodi von STEs erlauben 4 Bit pro Farbe. In Suska-III-C wird ein Video AD-Konverter eingesetzt, welcher 8 Bit pro Farbe verarbeiten kann. Während die jeweiligen niederwertigsten zwei Bit D1 und D0 fest an Masse geschaltet sind und die höchstwertigen vier Bit D7 bis D4 an den Grafikcontroller im FPGA angeschlossen sind, können die Bits D3 und D2 wahlweise beschaltet werden. Werden sie an Masse geschaltet (werksseitig), so ergibt sich eine STE kompatible Farbdarstellung mit 4 Bit pro Farbe, also 4096 verschiedenen Farbtönen. Werden diese Bits an XFF827E_D7 bis XFF827E_D2 geschaltet, die ebenfalls am FPGA angeschlossen sind, ist eine Farbdarstellung von 6 Bits pro Farbe möglich. Dies entspricht 262144 verschiedenen Farbtönen. Hierzu muss allerdings eine erweiterte Videodarstellung im IP-Core des FPGA vorhanden sein und die Signale XFF827E_D7 bis XFF827E_D2, die dem entsprechenden ST-Book Register entsprechen stehen dann nicht mehr außerhalb des FPGA zur Verfügung. Siehe hierzu auch die Beschaltung von IC39 (System-Mikrocontroller), X33 (Aux2 Steckverbinder) und IC37 (SD-Karten Mikrocontroller). Abbildung 10 zeigt die Lage dieser Lötbrücken. Deren genaue Bezeichnung ist dem Bestückungsdruck der Unterseite dieser Leiterplatte zu entnehmen, der sich im Anhang befindet.

Abbildung 10: Lötbrücken SJ3 bis SJ8 auf



der Platinenunterseite.

Diese Lötbrücken stehen werksseitig alle in Stellung 1-2.

Lötbrücke SJ9

Der SD-Karten Mikrocontroller (IC37) dient primär dem Programmieren des Boot-Bausteins oder dem Aufspielen eines Betriebssystemabbaus in den Flash-Speicher. Da im nicht konfigurierten Zustand keine Funktion im FPGA vorhanden ist, muss dieser Mikrocontroller mit einem Takt versorgt werden, der nicht aus dem FPGA abgeleitet ist. Er entspricht dem 4MHz Takt des PS/2 Mikrocontrollers. Ist eine Konfiguration im FPGA vorhanden, so kann durch Schließen dieser Lötbrücke das Signal SDC_AVR_CLK an den Takteingang des IC37 geschaltet werden. Dies bietet die Möglichkeit IC37 mit beliebigen Taktfrequenzen zu betreiben. Hierzu sind entsprechende IP-Core Erweiterungen im FPGA vorzunehmen. Da die FPGA Pins im unkonfigurierten Fall hochohmig sind, ist es möglich, bei geschlossener Lötbrücke die Programmierfunktion des Boot-Bausteins durchzuführen. In diesem Fall wird der Takt für IC37 über den Widerstand R295 bereitgestellt. Ist das FPGA konfiguriert, so ist der Ausgangstreiber des SDC_AVR_CLK Pins stark genug, um den Takt, der via R295 angeschlossen ist zu 'überschreiben'. Im Falle einer Fehlfunktion des SDC_AVR_CLK Signals ist bei geschlossener Lötbrücke allerdings kein Programmieren des Boot-Bausteins mehr möglich. Falls dieser Zustand eintritt, muss SJ9 geöffnet werden oder die Programmierung über die Active-Serial Schnittstelle vorgenommen werden.

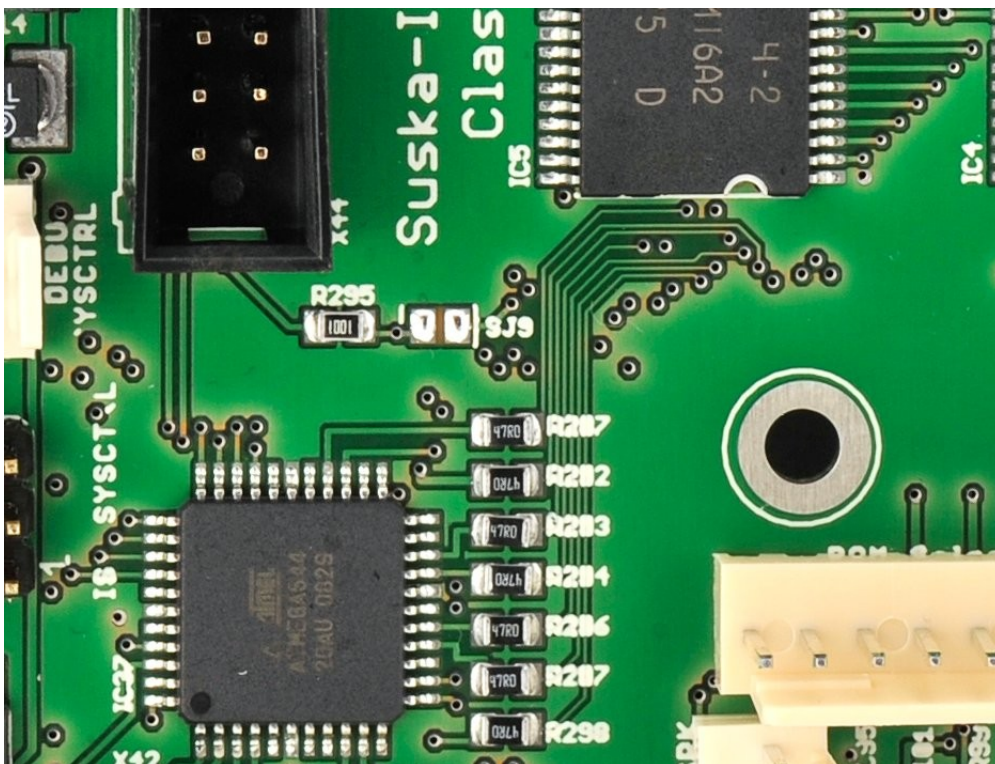


Abbildung 11: Lötbrücke SJ9 auf der Platinenoberseite.

Die Lötbrücke SJ9 ist werksseitig geöffnet.

Systembeschreibung

Der System Mikrocontroller

Suska-III-C verfügt über eine Steuerung des Systems bezüglich Betriebszustand und Leistungsaufnahme. Diese Funktionen übernimmt der System Mikrocontroller IC39 in Abbildung 12, der aus einer Bereitschaftsspannungsquelle versorgt wird. Er hat die Aufgabe, die Reset-Tasten zu überwachen (siehe hierzu Abschnitt Systemreset) sowie die verschiedenen Netzteile von Suska-III-C nach Bedarf zu aktivieren beziehungsweise zu deaktivieren. Ferner übernimmt dieser Mikrocontroller die Aufgabe, die

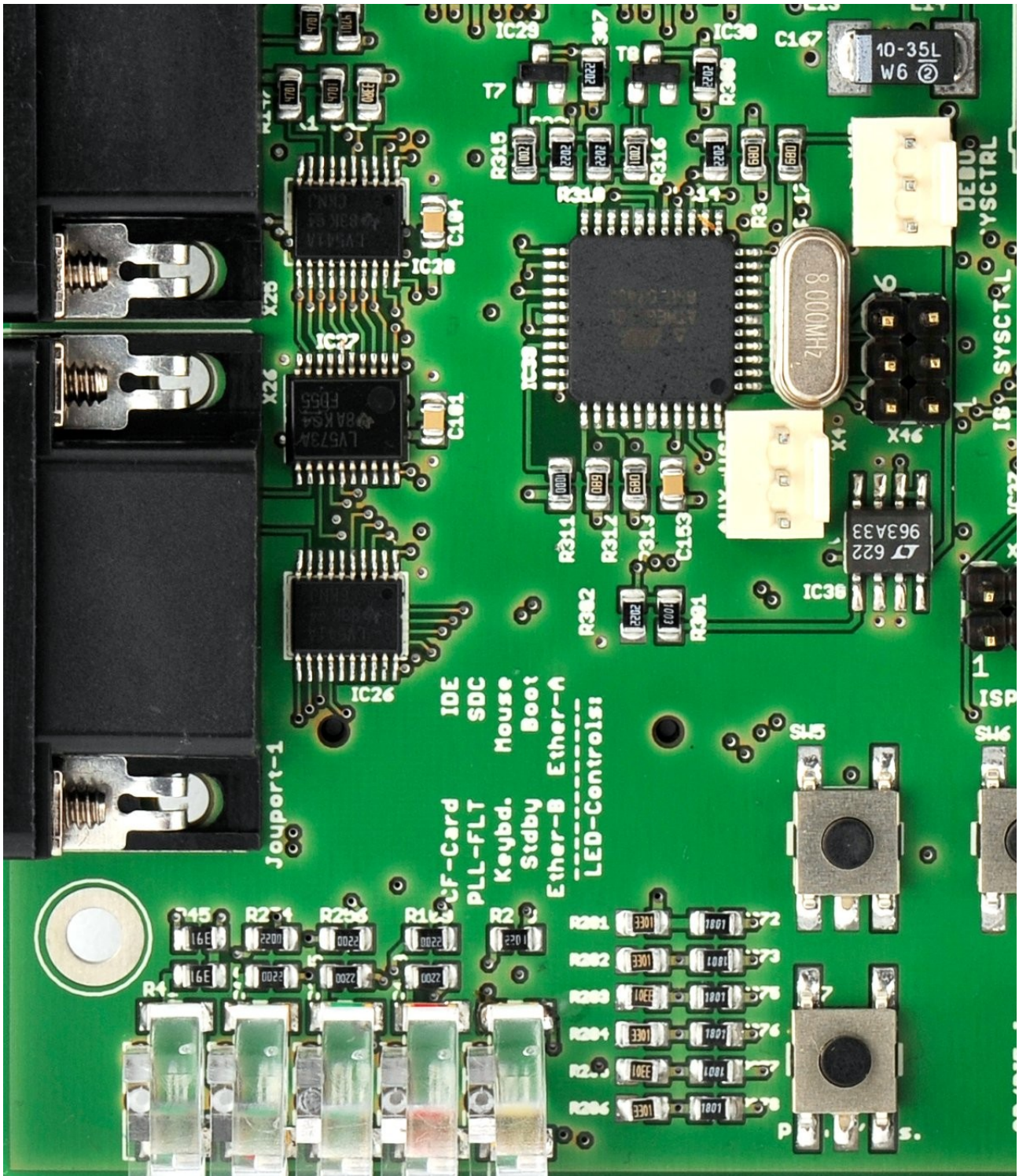


Abbildung 12: Der System Mikrocontroller.

entsprechenden Betriebssysteme über eine serielle Datenverbindung aus einem PC in den Flash-Speicher von Suska-III-C zu

laden. Eine Beschreibung dieses Vorgangs befindet sich im Abschnitt Laden des Betriebssystems via Bootloader. Zwischen FPGA und IC39 existieren einige Signale, die für allgemeine Erweiterungen vorgesehen sind. Für detaillierte Informationen hierzu sei auf das Schaltbild von Suska-III-C verwiesen. Der System Mikrocontroller ist zusätzlich mit einer Schnittstelle Aux-USB (X45) verbunden. Sie kann beispielsweise dafür verwendet werden, mit USB Geräten zu kommunizieren. Hierzu ist die Software des System Mikrocontrollers entsprechend zu erweitern. IC39 wird über die Schnittstelle ISP_SYSCTRL (X46) programmiert und hat eine Ausgabemöglichkeit für Debugging Informationen über die Schnittstelle SYSCTRL_DEBUG (X47). Für das Programmieren und die Kommunikation über die Debugging Schnittstelle mit einem PC stehen als Zubehör entsprechende Protokolladapter zur Verfügung. Genauere Informationen zum Programmiervorgang sind im Abschnitt Aufspielen von Software auf die Mikrocontroller zu finden. Informationen zu Protokolladaptern sind in den entsprechenden Produktbeschreibungen ersichtlich.

Der PS/2 Mikrocontroller

Ein weiterer Mikrocontroller (IC36) übernimmt die Aufgabe des ursprünglichen Tastaturcontrollers der originalen ST(E) oder Mega ST(E) Tastaturen. Er erkennt PS/2 kompatible Mäuse und Tastaturen und stellt dem entsprechenden ACIA IP-Core im FPGA ein zu originalen Tastaturcontrollern kompatibles Protokoll zur Verfügung. Hierdurch können PS/2 Geräte ohne Änderungen an der Software oder am Betriebssystem verwendet werden. Da moderne Tastaturen ein etwas anderes Tastaturlayout besitzen als originale Tastaturen, wird für wenige Tasten eine Umsetzung erforderlich. Im Anhang ist eine Tabelle für diese Anpassungen wiedergegeben. Durch die Verwendung von PS/2 Tastaturen entfallen die Joystick und die Maus-Schnittstelle der originalen Maschinen. Während sich bei der Maus kein Problem ergibt, da diese durch eine entsprechende PS/2 Maus substituiert wird, ist für den Fall, dass ein Joystick Verwendung finden soll eine Zusatzhardware erforderlich. Diese ist als Zubehör erhältlich und wird

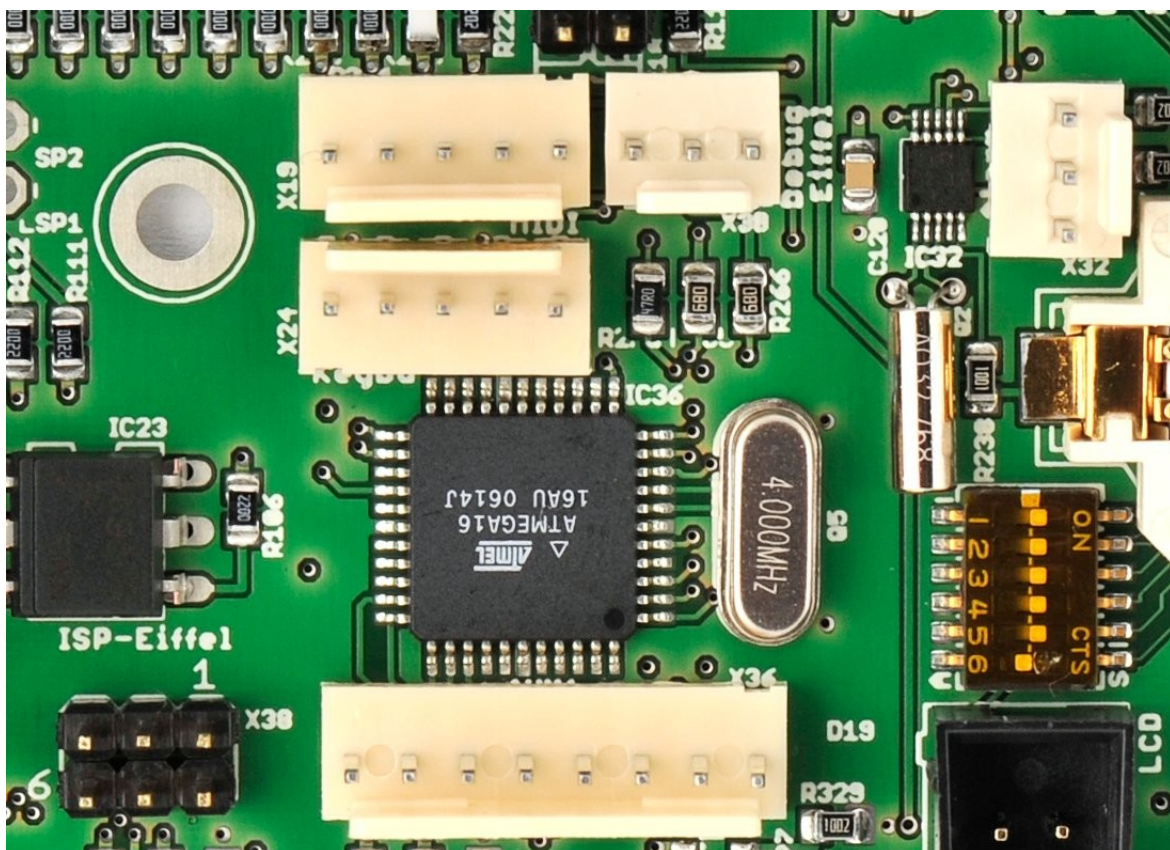


Abbildung 13: Der PS/2 Mikrocontroller.

an den AUX3 Anschluss (X36) des PS/2 Mikrocontrollers angeschlossen. Letzterer übernimmt somit zusätzlich die Funktion der Umsetzung der Joystickinformationen. Ferner sind die beiden Tasten SW5 und SW6 an die Port Pins PD6 und PD7

angeschlossen. Sie dienen allgemeinen Erweiterungen und erfordern entsprechende Änderungen an der Software des PS/2 Mikrocontrollers und gegebenenfalls dem IP-Core des FPGAs. Die Port Pins PC4 und PC5 sind an die beiden LEDs 'Keyboard' und 'Mouse' angeschlossen und erlauben eine Signalisierung der Hochsteltaste der Tastatur und der Erkennung der Maus. IC36 wird über die Schnittstelle ISP_PS2 (X38) programmiert und hat eine Ausgabemöglichkeit für Debugging Informationen über die Schnittstelle PS2_DEBUG (X39). Für das Programmieren und die Kommunikation über die Debugging Schnittstelle mit einem PC stehen als Zubehör entsprechende Protokolladapter zur Verfügung. Genauere Informationen zum Programmiervorgang sind im Abschnitt Aufspielen von Software auf die Mikrocontroller zu finden. Informationen zu Protokolladaptern sind in den entsprechenden Produktbeschreibungen ersichtlich.

Der Schalter4 des SCSI_ID (SW2) Konfigurationsschalters ist momentan unbenutzt. Er war ursprünglich vorgesehen um die PS/2 Funktionalität freizuschalten. Durch eine 'intelligente' Mikrocontroller-Software ist dies überflüssig geworden so dass dieser Schalter nun für beliebige andere Zwecke zur Verfügung steht. Zu dessen Benutzung sind Firmwareanpassungen notwendig.

Der SD-Karten Mikrocontroller

Durch den SD-Karten Mikrocontroller (IC37) ist eine Kommunikation zwischen dem FPGA und SD-Karten (X41) möglich. Primär wird dieser Mikrocontroller dazu verwendet Betriebssystemabbilder in das Flash zu schreiben oder Updates des Boot-Bausteins vorzunehmen. Hierzu müssen sich entsprechende Dateien auf der SD-Karte befinden. Diese Funktionalität dient dem einfachen Update des Systems ohne spezielle Programmieradapter. Die Erweiterungen des IP-Core und die Software des SD-Karten Mikrocontroller sind derzeit noch nicht vorhanden und werden voraussichtlich mit den kommenden IP-Core Updates zur Verfügung gestellt. PB0 von IC37 kann eine LED 'SDC' ansteuern, die die Kommunikation mit der SD-Karte signalisiert. IC37 wird über die Schnittstelle ISP_SDC (X42) programmiert und hat eine Ausgabemöglichkeit für Debugging Informationen über die Schnittstelle SDC_DEBUG (X43). Für das Programmieren und die Kommunikation über die Debugging Schnittstelle mit einem PC stehen als Zubehör entsprechende Protokolladapter zur Verfügung. Genauere Informationen zum Programmiervorgang sind im Abschnitt Aufspielen von Software auf die Mikrocontroller zu finden. Informationen zu Protokolladaptern sind in den entsprechenden Produktbeschreibungen ersichtlich.

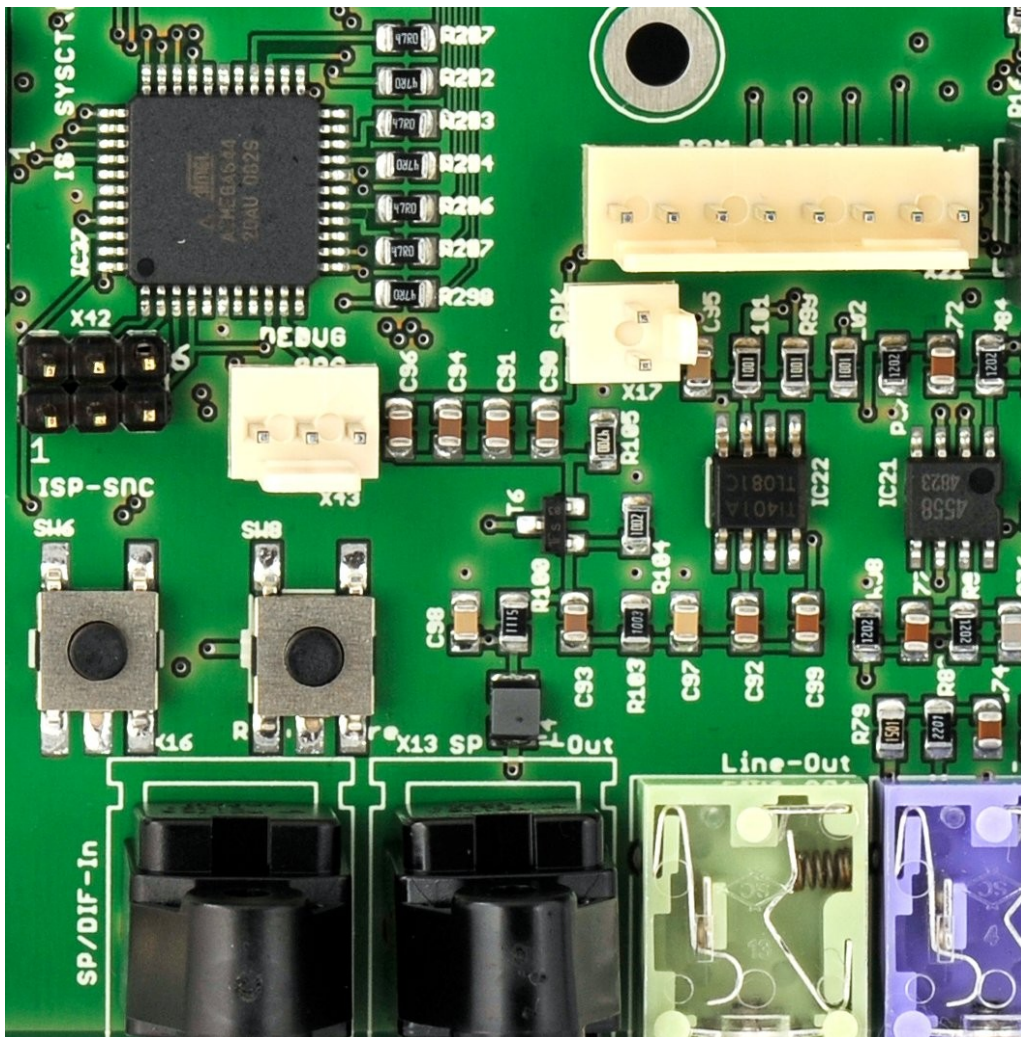


Abbildung 14: Der SD-Karten Mikrocontroller.

Das Field Programmable Gate Array (FPGA)

Suska-III-C ist mit einem FPGA der Firma Altera ausgestattet. Es ist ein Cyclone-II, Typ EP2C35F484 in einem 484 poligen Gehäuse. Dieser Baustein stellt die wesentliche Funktionalität des Atari kompatiblen Suska Boards her. Der IP-Core, der eine STE Maschine nachbildet benötigt etwa 20000 der zur Verfügung stehenden 35000 Logikzellen in diesem Chip. Somit bleibt genügend Reserve für beliebige Erweiterungen. Die digitale Schaltung, die im FPGA realisiert ist kann durch Umkonfigurieren des Bausteins geändert werden. Siehe hierzu den Abschnitt Laden des FPGA IP-Cores.

IP-Core im FPGA

Der Suska IP-Core ist ausschließlich in der Hardware Beschreibungssprache VHDL (Very High Speed Integrated Circuits Hardware Description Language) verfasst, eine Sprache zur abstrakten Modellierung digitaler Schaltungen. Die Syntax von VHDL ist sehr ausführlich und selbsterklärend. Der Core steht als Open Core auf experiment-s zum Download zur Verfügung. Zur Erweiterung der IP-Core Funktionalität kann die Designsoftware Quartus von Altera verwendet werden, die unter anderem auch als freie Web-Edition erhältlich ist. Diese Software verfügt über alle benötigten Module wie Compiler, Fitter, Simulator, Programmierwerkzeug etc. Der Suska IP-Core steht momentan in der Version 2K9A und verfügt über die folgenden Hauptmodule:

- 68000 kompatibles CPU Modul.
- Atari Blitter kompatibler Coprozessor.
- Atari GLUE (gemischte Logik) kompatibles Logikmodul.
- Atari MCU (**M**emory **C**ontrol **U**nit) kompatibles Logikmodul.
- Atari DMA (**D**irect **M**emory **A**ccess) kompatibles Logikmodul.
- Atari Shifter (Videoverarbeitung) kompatibles Logikmodul.
- Atari Shadow (LCD Ansteuerung) kompatibles Logikmodul.
- WD1772 kompatibles Floppy Disk Controller Modul.
- MFP68901 kompatibles Multi Function Port Modul.
- YM2109 kompatibles Soundchip Modul.
- 6850 kompatibler ACIA (**A**synchronous **C**ommunication **I**nterface **A**dapter).
- Diverse Schnittstellenadapter (IDE, ACSI, SCSI).
- Bootloader Modul.

Die verschiedenen Module sind in einer sogenannten Top-Level Beschreibung miteinander verdrahtet. Bei der Modellierung wurde darauf geachtet, dass die Verdrahtung, die Signalnamen und die Moduleinteilung weitgehend den originalen Schaltungsunterlagen zu den 1040ST bzw. 1040STE Maschinen entspricht. Es würde an dieser Stelle den Umfang dieses Dokuments bei weitem sprengen, wenn an dieser Stelle eine genaue Funktionsbeschreibung des Cores wiedergegeben würde. Aus diesem Grunde und auch aufgrund der hohen Entwicklungsgeschwindigkeit und somit Veränderung des Cores wird an dieser Stelle darauf verzichtet und auf die Dokumentation und Quellcodes des Suska-III-C IP-Cores verwiesen.

Ethernet Baustein DP83848C

Mit dem Ethernet Controller DP83848C verfügt Suska-III-C über einen weit verbreiteten 'Physical Layer' Baustein, der eine Übertragungsgeschwindigkeit von 10/100 MBit pro Sekunde bietet. Detaillierte Informationen und Beschreibungen zur Programmierung finden sich im Datenblatt zu diesem Baustein. Der Controller ist am FPGA angeschlossen und kann bei entsprechender Erweiterung des IP-Cores und der erforderlichen Treiber in der System- oder Anwendungssoftware in Betrieb genommen werden.

USB Controller MAX3421E

Der MAX3421E ist ein USB Host Controller Baustein, der über eine SPI Schnittstelle mit dem FPGA kommunizieren kann. Erweiterungen am IP-Core und an der System- oder Anwendungssoftware sind hierfür erforderlich. Der Controller erfüllt die USB Spezifikation rev. 2.0. Die maximale Taktgeschwindigkeit der SPI Schnittstelle beträgt 26MHz. Hierdurch ist die maximal erreichbare Datenübertragungsgeschwindigkeit des USB festlegt. Ausführliche Informationen zu diesem Baustein befinden sich im entsprechenden Datenblatt.

Video DAC ADV7125KST50

Mit diesem Baustein, der drei 8-Bit Video-DACs enthält ist Suska-III-C mit einem Videosystem ausgestattet, welches in seiner Qualität die originale Hardware der STs oder STEs bei weitem übertrifft. Obgleich pro Farbe nur 4 Bit bzw. 6 Bit verwendet werden (siehe hierzu den Abschnitt Lötbrücken SJ3 bis SJ8), ist die Scharfzeichnung und Dynamik der Videosignale bei Suska-III-C herausragend.

Audio-DAC AD5302

In originalen STE Maschinen sind zur Erzeugung von Audiosignalen zwei 8 Bit Digital-Analogwandler DAC0802 eingesetzt, die über einen parallelen Datenbus verfügen. Diese Art von Bausteinen ist heutzutage nicht mehr zeitgemäß. Daher findet als Ersatz hierfür ein miniaturisierter Baustein Verwendung, der zwei 8 Bit DACs enthält, die über eine SPI-Schnittstelle (**S**erial **P**eripheral **I**nterface) verfügen. Das bedeutet, dass für die 16 Datenleitungen die im originalen STE an die DACs angeschlossen sind, nun eine Dreidraht Verbindung eintritt, die mit 30MHz getaktet werden kann. Somit ist es möglich, die Audiodaten, im Vergleich zu originalen STE-Maschinen, ohne Einschränkungen zu übertragen. Der Suska IP-Core ist hierfür mit einem Modul ausgestattet, welches die Konvertierung der parallelen Audiodaten in das serielle SPI Protokoll übernimmt. Die beiden analogen Ausgänge des AD5302 sind an die AUX-Eingänge des Audio-Codec CS4299 angeschlossen. Hierdurch wird eine Lautstärke und Klangregelung möglich, die in STE-Maschinen durch den Baustein LMC1992 durchgeführt wurde, der nicht mehr erhältlich bzw. zeitgemäß ist.

Audio-Codec CS4299

Wie bereits im vorangehenden Abschnitt angedeutet, ist die Audioausrüstung der originalen STE-Maschinen nicht mehr zeitgemäß. Heutzutage stehen moderne Audioverarbeitungschips zur Verfügung die einerseits AD- wie auch DA- Wandler, Multiplexer, Mixer usw. in einem Baustein vereinen. Suska-III-C ist mit einem Audio-Codec vom Typ CS4299 ausgestattet. Die Audio-Funktionalität ist hierdurch deutlich komfortabler als in STEs. Der Codec ist wie auch der AD5302 über eine serielle Schnittstelle mit dem FPGA verbunden. Um diesen anzusteuern sind Erweiterungen des IP-Cores und der erforderlichen Treiber in der System- oder Anwendungssoftware erforderlich. Der CS4299 ist mit den folgenden Eingangs- bzw. Ausgangsquellen verbunden:

- AUX-Kanal ist an die Audio-DACs AD5302 angeschlossen.
- CD Eingang.
- Mikrofon Eingang links.
- Mikrofon Eingang rechts.
- Line Eingang.

- Line Ausgang.
- SP/DIFF Ausgang (digital).

Das Datenblatt zum CS4299 ist ausführlich. Diesem können die elektrischen Spezifikationen sowie die Programmierung des Bausteins entnommen werden.

Weitere Audiohardware

Suska-III-C verfügt zu der bereits genannten Audio-Ausrüstung über 1040ST kompatible Hardware, die einem Mono-Audiokanal entspricht, der von dem YM2149 kompatiblen Soundchip-Core gespeist wird. Dieser Audiokanal wird verstärkt (IC22) und ist am Stecker 'Speaker' (X17) sowie am Pin 1 der originalen ST Monitorbuchse (X9) angeschlossen. Als Gegenstück zu dem SP/DIFF Ausgang gibt es einen SP/DIFF Eingang für digitale Audioübertragung.

Uhr DS1392

Die in STs und STEs eingesetzte Real Time Clock RP5C15 ist obsolet und durch DS1392 (IC32) ersetzt. Diese Uhr ist nicht registerkompatibel zur RP5C15. Daher existiert ein IP-Core Modul, welches einerseits die Kompatibilität weitgehend herstellt und andererseits die Ansteuerung der seriellen Datenübertragung zwischen FPGA und DS1392 übernimmt. Für Informationen zum Registersatz wird auf das Datenblatt zu diesem Baustein verwiesen.

Taster und Betriebsanzeigen

Suska-III-C ist mit vier Drucktasten SW5 bis SW8 und fünf Doppel-LEDs ausgestattet. In Abbildung 15 ist die Lage der Tasten ersichtlich.

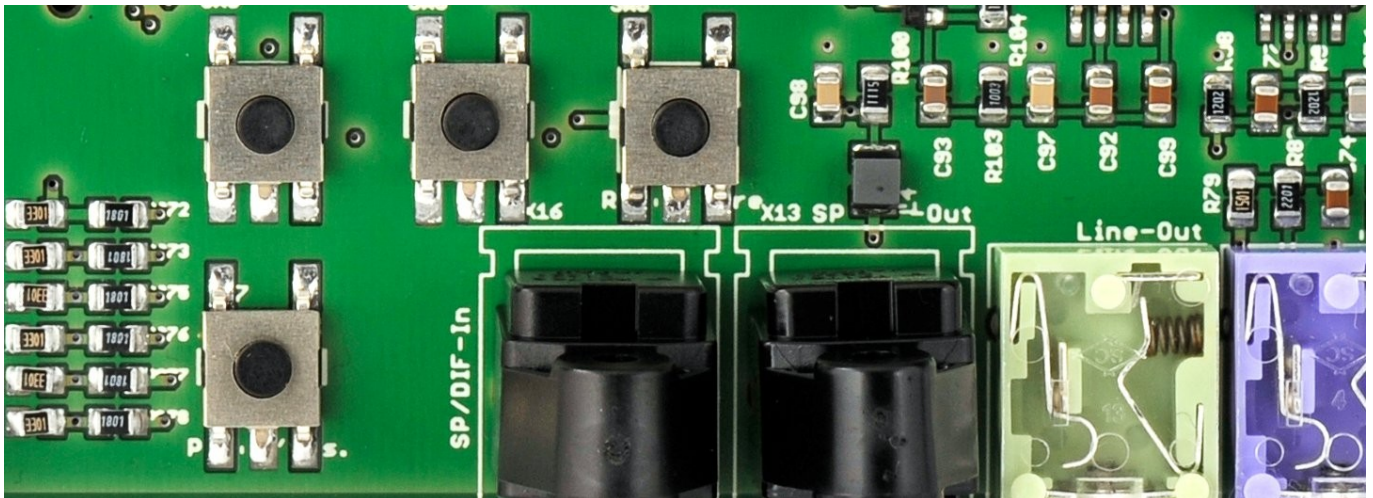


Abbildung 15: Tasten von Suska-III-C.

SW5 und SW6 (links oben bzw. mitte oben) sind für allgemeine Anwendungen wie beispielsweise die Verstellung des Kontrastes eines angeschlossenen LC-Displays vorgesehen. Die Schalter sind an den Mikrocontroller IC36 angeschlossen, der für die Steuerung der PS/2 Peripheriegeräte vorgesehen ist. Die gewünschte Schalterfunktionalität erfolgt durch Ergänzung der Software dieses Mikrocontrollers und gegebenenfalls durch Erweiterung des FPGA IP-Cores.

SW7 (links unten) dient als EIN- Ausschalter und als Reset-Knopf. Das System lässt sich durch kurzes drücken von SW7 einschalten und durch längeres Drücken (ca. 3s) wieder ausschalten. Ein kurzer Tastendruck bei eingeschaltetem System löst einen Systemreset aus.

SW8 (rechts oben) ist der Reset-Knopf für das FPGA und dient gleichzeitig dem Laden von Betriebssystemteilen über den im

FPGA implementierten Bootloader-Mechanismus. Siehe hierzu Laden des Betriebssystems via Bootloader und Laden des Betriebssystems via SD-Karte . Im Normalbetrieb wird diese Taste nicht benötigt.

Die LEDs von vorne betrachtet sind in Abbildung 16 (links) dargestellt. Die LEDs haben die folgende Bedeutung (1 = links unten, 2 = links oben, 3 = zweite von links unten etc.):

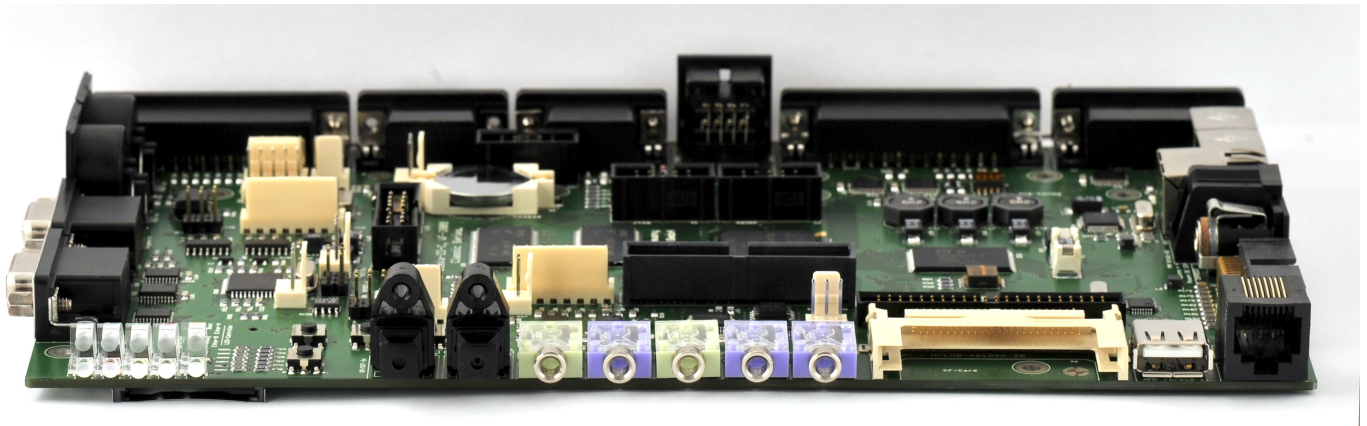


Abbildung 16: Frontansicht von Suska-III-C.

1. Festplattenzugriff von einer installierten CF-Karte (Compact-Flash).
2. Festplattenzugriff von einer installierten 2,5" Festplatte.
3. Fehleranzeige der FPGA Phase Locked Loops. Diese LED signalisiert fatale Systemfehler.
4. Festplattenzugriff von einer installierten SD-Karte.
5. Tastatur-Indikator: PS/2-Tastatur; Status der Hochsteltaste.
6. Mausindikator: PS/2-Maus vorhanden und Funktion erkannt.
7. Betriebsbereitschaftsanzeige.
8. Bootloader LED. Siehe hierzu Laden des Betriebssystems via Bootloader und Laden des Betriebssystems via SD-Karte .
9. Ethernet Aktiv.
10. Ethernet Link.

Schnittstellenbeschreibung

Suska-III-C zeichnet sich durch eine sehr hohe Schnittstellenvielfalt aus. Es sind sowohl die meisten ST- und STE- sowie eine Reihe zusätzlicher Schnittstellen vorhanden. Da die elektrischen Spezifikationen sowie die Funktionsweise dieser aus einschlägiger Literatur bekannt sind, soll an dieser Stelle auf eine detaillierte Beschreibung verzichtet werden. Die Besonderheiten und die Lage der Schnittstellen auf der Leiterplatte werden im folgenden beschrieben.

Schnittstellen frontseitig

Abbildung 16 zeigt die frontseitigen Schnittstellen. Es sind solche nach vorne angebracht, die nicht immer gesteckt sind oder die gut zugänglich sein sollen. Daher befinden sich hier die digitalen SP/DIFF sowie die analogen Audioschnittstellen zusätzlich die Halter für Compact-Flash- und SD-Karten und USB sowie eine serielle Schnittstelle die an der RJ45 Buchse rechts im Bild angeschlossen ist. Die Pinbelegung dieser ist dem Anhang zu entnehmen (Pin 1 ist von vorne betrachtet das linke Pin). Im Falle der Verwendung der Compact Flash Schnittstelle als IDE Anschluss ist diese bei Cable Select als Slave geschaltet.

Schnittstellen linksseitig

Links sind die MIDI Schnittstellen und die beiden STE kompatiblen Joyports angebracht.

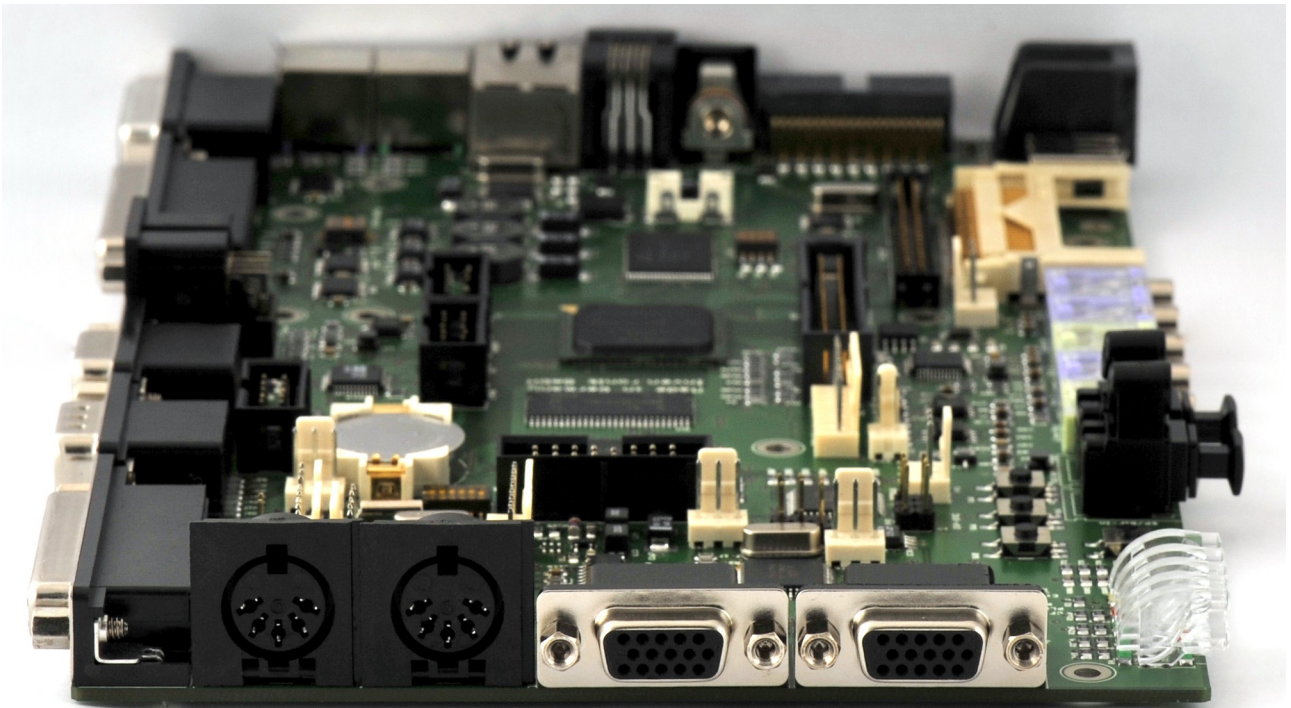


Abbildung 17: Suska-III-C linke Ansicht.

Schnittstellen rechtsseitig

Rechts befinden sich neben dem ROM-Port die Buchse für die Spannungsversorgung, der Anschluss für Atari kompatible Tastaturen, die Buchse für Ethernet sowie PS/2 Maus (grün) und PS/2 Tastatur (violett). Der Originalsteckverbinder des ROM-Ports ist nicht mehr erhältlich und durch einen Industriesteckverbinder ersetzt. Die Belegung und der Typ sind im Anhang wiedergegeben.

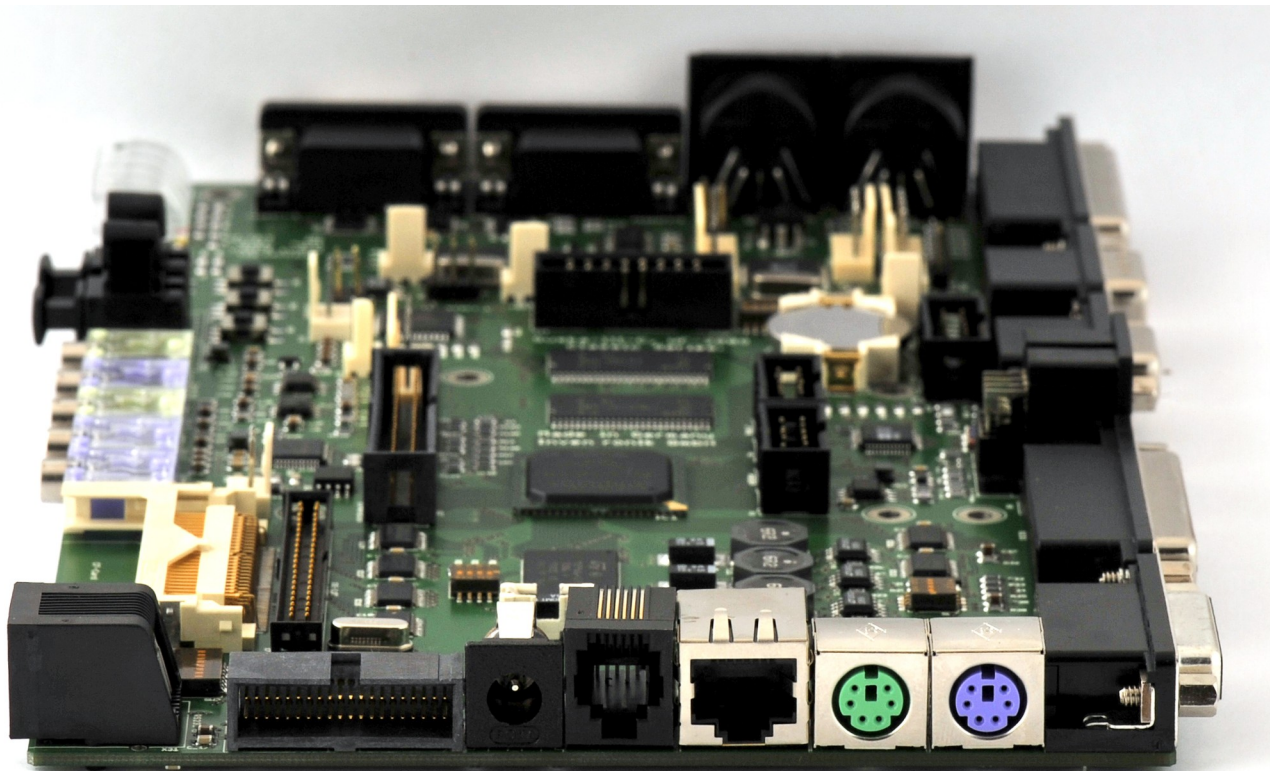


Abbildung 18: Suska-III-C rechte Ansicht.

Schnittstellen rückseitig

Auf der Rückseite sind die klassischen Schnittstellen ACSI Bus, SCSI Bus, Atari Monitor, Floppy Disk und Druckeranschluss und zusätzlich eine VGA Videobuchse für moderne Monitore angebracht. Die Buchse für das Diskettenlaufwerk entspricht einem 15 poligen SUB-D Stecker im HD Format. Die Belegung ist im Anhang wiedergegeben.

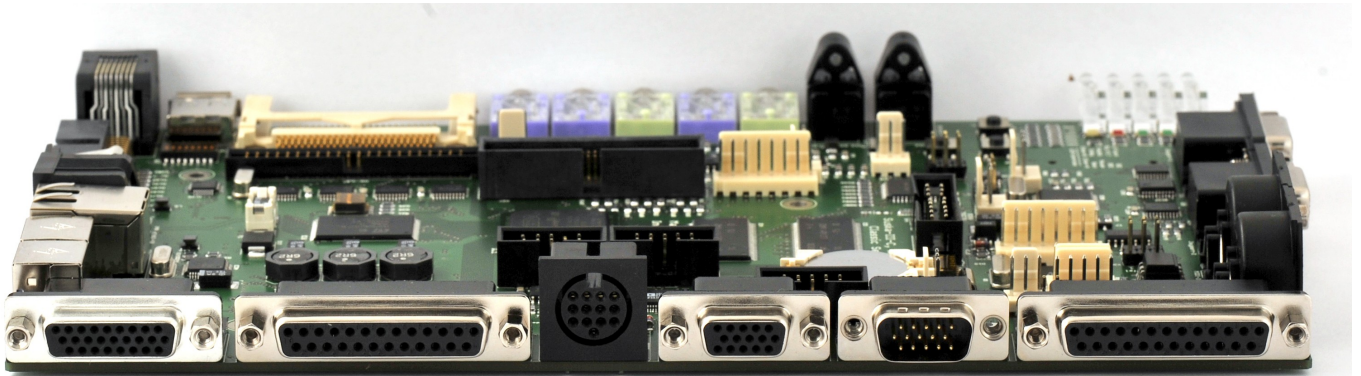


Abbildung 19: Suska-III-C Rückansicht.

Besonderheiten existieren für die ACSI Schnittstelle, die nicht direkt mit dem FPGA verbunden ist sondern über Bustreiber geschaltet wird, die eine Pegelanpassung von 3,3V nach 5V und umgekehrt ermöglichen. Die SCSI Schnittstelle ist ebenfalls mit derartigen Bustreibern versehen und verfügt zusätzlich über eine elektronische Terminierung.

Schnittstellen boardseitig

Es gibt eine Reihe noch nicht anderweitig beschriebener Schnittstellen, die von oben zugänglich sind. Diese werden im Folgenden kurz erläutert die Belegungen und gegebenenfalls die Steckverbindertypen befinden sich im Anhang zu diesem Dokument sowie auch ein Bestückungsplan, der die Lage der Steckverbinder aufzeigt.

X7 Es handelt sich hierbei um den IDE Anschluss, an den beispielsweise 2,5" Festplatten angeschlossen werden können. Es wird empfohlen das Verbindungskabel so kurz wie möglich zu wählen. Im Falle der Verwendung von IDE Laufwerken mit Cable Select ist dieser Anschluss als Master geschaltet.

X17 im Bild ist der Anschluss für einen Lautsprecher. Das Audiosignal befindet sich in Richtung Boardmitte, der andere Pol ist an Masse angeschlossen.

X22 ist ein ROM-Selector Stecker, an den alle ROM select Signale des FPGA aufgelegt sind (Pin 1 befindet sich direkt neben dem Extension Port).

X24 ist ein Erweiterungsstecker X19 der Steckverbinder für die MIDI-ACIA (siehe hierzu auch Abschnitt Lötbrücken SJ1 und SJ2).

X27 Der Extension Port ist funktional identisch zu dem in MEGA STs vorhandenen. Der Steckverbinder wurde aus Platzgründen auf ein 1,27mm Raster verkleinert. Es handelt sich hierbei um einen Industriestecker.

X32 ist der Alarmanschluss der Uhr und hat von vorne auf die Pins geschaut von links nach rechts die Belegung Uhrinterrupt - Masse – Uhralarm.

X33 ist zusätzlicher Erweiterungsstecker, an den einige systemspezifische Signale angeschlossen sind.

X44 ist für den Anschluss für einfache monochrome LCDs gedacht, wie sie beispielsweise in ST Books oder Stacys verwendet wurden. Der IP-Core unterstützt LCDs mit VGA Auflösung derart, dass ein Bild von 640x400 Punkten dargestellt wird und der untere und obere Bildschirmrand schwarz dargestellt wird.

Modifikationen am System

Da Suska-III-C über drei Mikrocontroller, ein FPGA und einen nichtflüchtigen FLASH-Speicher verfügt, ergibt sich hieraus die Möglichkeit das System in weiten Bereichen nach eigenen Wünschen anzupassen oder zu erweitern. Die Modifikationen sind relativ leicht durchzuführen wohingegen das Erstellen der modifizierten Systemkomponenten Erfahrung in Hardware- und/oder Softwaredesign erfordert. Unerfahrenen Personen wird abgeraten, Änderungen selbst durchzuführen und auf die öffentlich zugänglichen Systemmodifikationen zuzugreifen. Änderungen des Inhalts des Flash-Speichers betreffen in der Regel das Auswechseln des Betriebssystems. Änderungen an der FPGA-Konfiguration das Verändern der System-Hardware und Änderungen an den Mikrocontrollern das Ergänzen oder Auswechseln von Systemsoftware.

Laden des Betriebssystems via Bootloader

Durch den Bootloader-Mechanismus können diverse Betriebssysteme in den Flash Speicher kopiert werden. Dieser Abschnitt beschreibt das Kopieren des Betriebssystemabbilds von einem PC auf den Flash Baustein über die Debugging-Schnittstelle X47 des System-Mikrocontrollers IC39. Zur Vorbereitung der Kommunikation ist zwischen PC und Suska-III-C ein USB-UART Verbindungskabel zwischen dem USB-Anschluss des PCs und dem Debugging Stecker 'SYSCTRL_DEBUG' X47 anzubringen. Dieses Kabel ist als Zubehör erhältlich. Zum Aktivieren des Bootloaders muss wie folgt vorgegangen werden:

1. Das System mit Taste SW7 einschalten.
2. Danach SW7 erneut drücken und festhalten.
3. Bei festgehaltener SW7 die CORE-Reset Taste SW8 drücken und wieder loslassen.
4. SW7 loslassen.
5. Nun sollte die rote Boot-LED blinken. Der Bootloader wird endgültig aktiviert, wenn in diesem Zustand die Taste SW7 sofort nochmals gedrückt und losgelassen wird. Falls dies nicht geschieht, erfolgt nach ca. 3s eine Zeitüberschreitung und der Bootloader schaltet sich wieder ab. Ist die Aktivierung erfolgt, so blinkt die rote Boot-LED dauerhaft mit ca. 2Hz Blinkfrequenz. In diesem Zustand wird auf Kommunikation mit dem PC gewartet. Anmerkung: Ist der Bootloader aktiviert aber keine Kommunikation mit dem PC etabliert, so kann der Vorgang durch Drücken von SW8 (FPGA-Reset) abgebrochen werden.
6. Zum Laden des Betriebssystems vom PC aus dient das Programm 'suska-flasher'. Dieses ist unter Linux oder von einer Linux 'Live-CD' lauffähig. Das Programm wird von einer Konsole aus gestartet. Hierzu ist es am günstigsten, in das Verzeichnis zu wechseln, in dem sich 'suska-flasher' befindet. Eine Hilfestellung kann dann mit `./suska-flasher -h` oder `./suska-flasher --help` aufgerufen werden. Abhängig davon, ob ein oder mehrere Betriebssysteme in's Flash geladen werden sollen stehen verschiedene Programmoptionen zur Verfügung. Um über die USB-Schnittstelle zu verfügen muss 'suska-flasher' unter Umständen im Superuser Modus gestartet werden. Die folgenden Beispiele dienen der Illustration der gebräuchlichsten Programmaufrufe. Es wird dabei davon ausgegangen, das sich die Betriebssystemabbilder beispielsweise in einem Verzeichnis `/home/myaccount/temp` befinden:
Laden des ersten Betriebssystems (Flash wird hierbei gelöscht):
`./suska-flasher -s -v /dev/ttyUSB0 "/home/myaccount/temp/etos512k.img"`
Laden eines weiteren Betriebssystems (Flash nicht löschen, Adressoffset vorher wählen):
`./suska-flasher -s -n -v /dev/ttyUSB0 "/home/myaccount/temp/tos100de.img"`
7. Ist Schritt 6 durchgeführt so beginnt (falls gewählt) das Löschen des Flash-Bausteins, welches bis zu einer Minute dauern kann und die anschließende Übertragung des Betriebssystemabbilds. An einem Fortschrittbalken am PC wird der aktuelle Fortschritt angezeigt. Nach beenden der Datenübertragung sollte das System abgeschaltet und dann das Verbindungskabel getrennt werden. Danach ist Suska-III-C betriebsbereit.

Laden des Betriebssystems via SD-Karte *(momentan noch nicht implementiert)*

Durch den Bootloader-Mechanismus können diverse Betriebssysteme in den Flash Speicher kopiert werden. Dieser Abschnitt beschreibt das Kopieren des Betriebssystemabbilds von einer SD-Karte auf den Flash Baustein. Hierzu ist eine erweiterte Funktionalität des IP-Cores notwendig, die in einer späteren Version als 2K9A bereitgestellt wird.. Diese Dokumentation wird in der Folge an dieser Stelle entsprechend ergänzt.

Laden des FPGA IP-Cores

Im Auslieferungszustand von Suska-III-C befindet sich ein lauffähiger IP-Core bereits auf dem Boot-Baustein des FPGA. Beim Einschalten des Systems konfiguriert sich das FPGA selbst, indem es seine Verdrahtungsinformationen aus dem Boot-Baustein ausliest. Dies dauert etwa 0,5s. Danach befindet sich das System in einem funktionsfähigen Zustand und entspricht in weiten Teilen der Rechnerarchitektur eines Atari STE mit erweiterten Video Modi. Normalerweise ist es nicht notwendig, an der FPGA Konfiguration Änderungen vorzunehmen. Sollen aber spezielle Funktionen ergänzt oder eventuelle Fehler berichtigt werden, so ist es notwendig, den Inhalt des Boot-Bausteins auszuwechseln. Dies kann auf zwei unterschiedliche Arten erfolgen. Zum einen durch das Kopieren eines IP-Core Konfigurationsfiles von einer SD-Karte in den Boot-Baustein oder zum anderen durch das direkte Programmieren des Boot-Bausteins über das 'Active-Serial' Protokoll. Eine dritte Möglichkeit der Änderung der FPGA-Konfiguration besteht darin, die Verdrahtungsinformationen direkt in die Konfigurations-Speicherzellen des FPGA einzuschreiben. Dies erfolgt über die JTAG (**J**oint **T**est **A**ction **G**roup) Schnittstelle. Diese Möglichkeit hat den Vorteil, dass aufgrund der SRAM-Technologie des FPGA-Konfigurationsspeichers diese Information beim Ausschalten des Systems verlorengeht und bei Wiedereinschalten das FPGA aus dem Boot-Baustein mit der ursprünglichen Konfiguration geladen wird. Diese Möglichkeit ist also immer dann sinnvoll, wenn Änderungen ausgetestet werden sollen, ohne das System zu gefährden. Für 'Active-Serial' und für JTAG ist ein spezielles Programmiergerät, ein 'Byte Blaster' oder ein 'USB Blaster' erforderlich. Während der erstgenannte an einer Parallelschnittstelle eines PCs angeschlossen wird, erfolgt die Datenübertragung bei einem 'USB Blaster' über eine USB-Host Schnittstelle, wie sie an jedem aktuellen PC zu finden ist. Der 'USB-Blaster' ist bei Inventronik als Zubehör erhältlich.

Anmerkung: Das Einbringen einer Verdrahtungsinformation für das FPGA in einen Boot-Baustein wird als Programmieren desselben bezeichnet. Das Einspeichern einer Verdrahtungsinformation direkt in die Speicherzellen des FPGA wird als konfigurieren bezeichnet. Da sich auf dem FPGA kein Programm befindet, welches dort abläuft sondern eine Verdrahtungsinformation (Konfiguration) wird das selbsttätige Laden dieser Konfiguration durch das FPGA aus dem Boot-Baustein ebenfalls konfigurieren genannt.

Laden des FPGA IP-Cores via SD-Karte *(momentan noch nicht implementiert)*

Later ...

Laden des FPGA IP-Cores via Active-Serial Protokoll

Hierzu wird ein 'USB Blaster' oder 'Byte Blaster' zwischen einem PC und der Schnittstelle 'ASISP' (X3) angeschlossen.



Abbildung 20: Anschluss eines USB Blasters an die Active-Serial Schnittstelle.

Auf dem PC sollte die Software Quartus von Altera oder eine eigenständige Programmiersoftware (von Altera erhältlich) installiert sein. Auf den Installationsvorgang wird an dieser Stelle nicht eingegangen. Es steht hierfür umfangreiche Dokumentation von Altera zur Verfügung. In der Quartus Software ist im Menü 'Tools' der Eintrag 'Programmer' zu finden, der das Programmierwerkzeug startet. Die Bedienung dieser Software ist selbsterklärend und durch eine Hilfefunktion unterstützt. Prinzipiell erfolgt das Programmieren des Boot-Bausteins durch folgende Schritte:

- Hardware auswählen, zum Beispiel 'USB Blaster'.
- Programmiermodus auf Active-Serial einstellen.
- Programmierfile x.pof auswählen.
- Programmieroptionen auswählen, zum Beispiel Program/Configure oder Verify..
- Programmiervorgang / Konfiguration starten.

Laden des FPGA IP-Cores via JTAG

Die Konfiguration des FPGAs via JTAG erfolgt sehr ähnlich zur Programmierung des Boot-Bausteins über das Active-Serial

Protokoll mit dem Unterschied, dass der 'Programmiermodus' auf JTAG eingestellt wird und das Konfigurationsfile die Endung .sof trägt. Die über die JTAG-Schnittstelle eingespielte Konfiguration bleibt so lange erhalten, bis die Betriebsspannung abgeschaltet wird, unabhängig davon, ob die RESET (SW7) oder SYS-RESET (SW8) Tasten gedrückt werden.

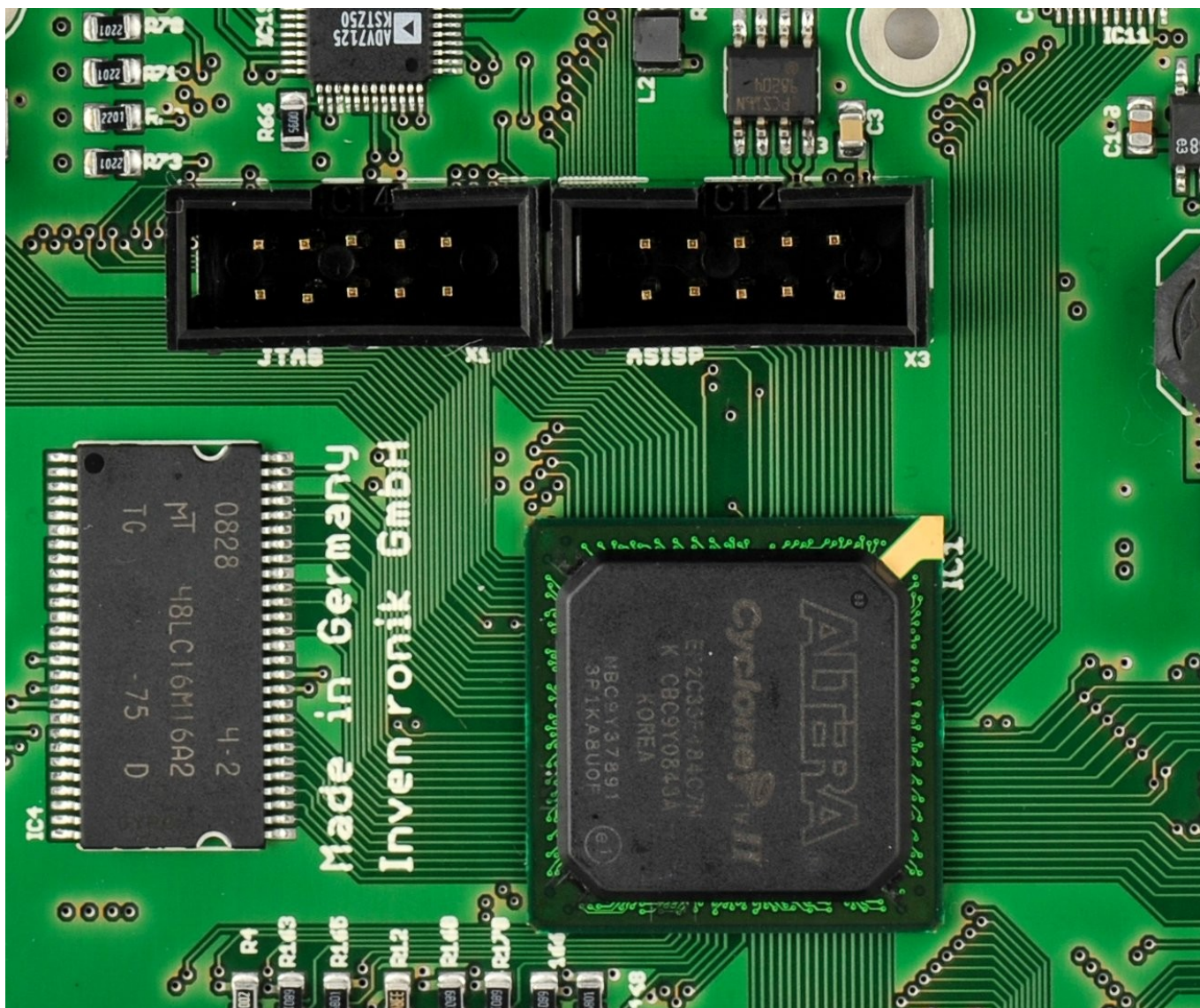


Abbildung 21: Konfigurationsschnittstelle JTAG (links) und Active-Serial Programmierschnittstelle.

Aufspielen von Software auf die Mikrocontroller

Auf Suska-III-C befinden sich drei Mikrocontroller von Atmel aus der gleichen Familie. Somit erfolgt das Programmieren dieser Bausteine für alle drei auf die gleiche Weise. Zunächst wird ein Programmiergerät zwischen einer USB Schnittstelle eines PC und dem entsprechenden Programmierstecker des Mikrocontrollers angeschlossen. Für den System Mikrocontroller IC39 ist dies der Stecker 'ISP_SYSCTRL' (X46), für den PS/2 Mikrocontroller IC36 ist dies 'ISP_PS2' (X38) und für den SD-Karten Mikrocontroller IC37 ist dies 'ISP_SDC' (X42). Es muss hierbei unbedingt auf die richtige Polarität des Steckverbinders geachtet werden. Pin 1 ist am Programmierkabel rot markiert. Die folgende Abbildung zeigt ein Beispiel:

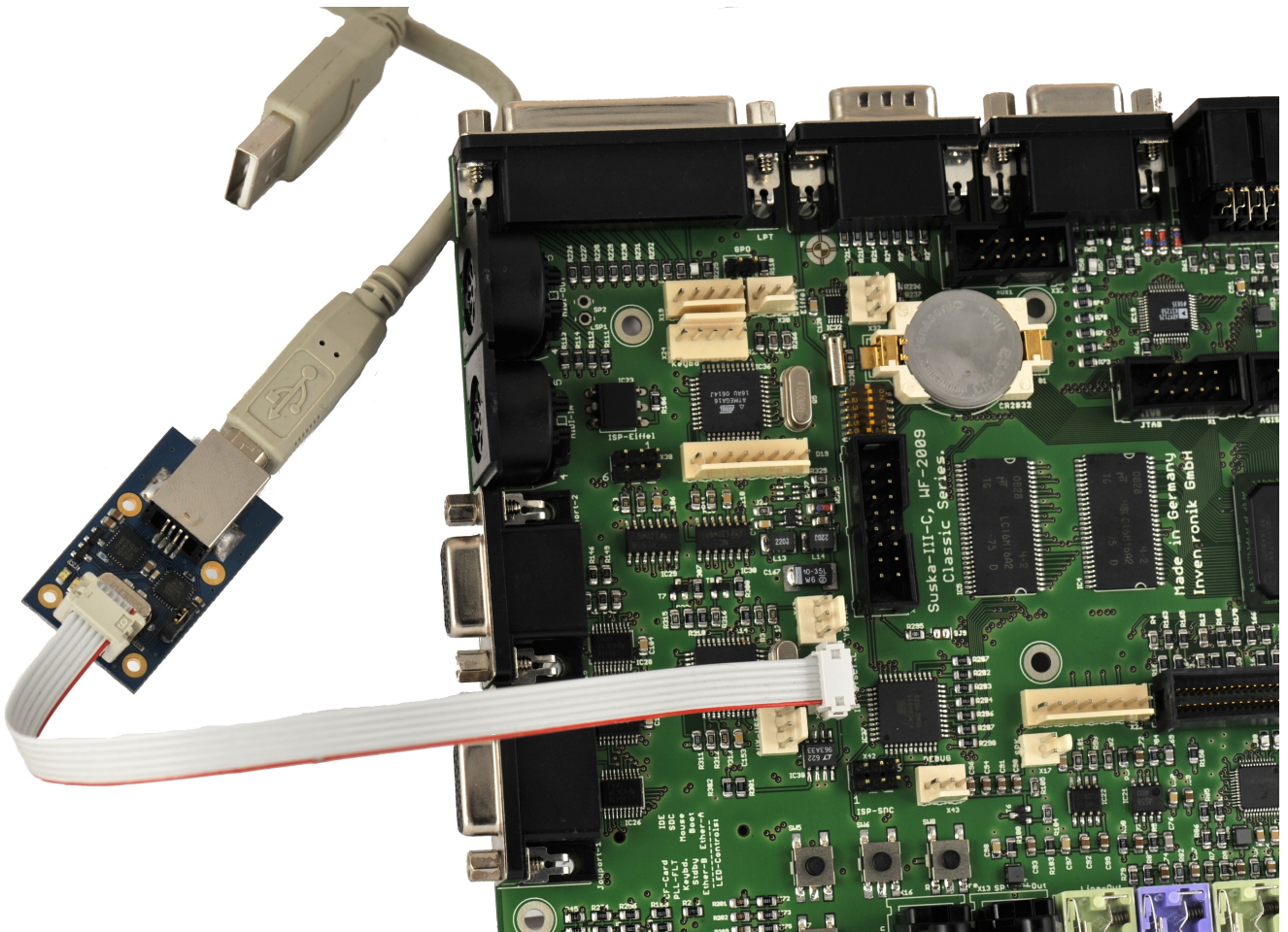


Abbildung 22: Anschluss des AVR Programmiergeräts an Suska-III-C

Anhang1: Belegung der Steckverbinder

I²C X2

Pin 1	I2C_SDA
Pin 2	GND
Pin 3	I2C_SCL

Tabelle 2: Belegung der I2C Schnittstelle X2

ACSI X4

Pin 1	ACSI_D7
Pin 2	GND
Pin 3	ACSI_D6
Pin 4	GND
Pin 5	ACSI_D5
Pin 6	GND
Pin 7	ACSI_D4
Pin 8	GND
Pin 9	ACSI_D3
Pin 10	GND
Pin 11	ACSI_D2
Pin 12	GND
Pin 13	ACSI_D1
Pin 14	GND
Pin 15	ACSI_D0
Pin 16	GND
Pin 17	VCCIO
Pin 18	GND
Pin 19	VCC
Pin 20	ACSI_HDACKn
Pin 21	ACSI_HDREQ
Pin 22	ACSI_HDCSn
Pin 23	ACSI_RESn
Pin 24	ACSI_CA1
Pin 25	ACSI_HDINTn
Pin 26	ACSI_CR_Wn

Tabelle 3: Belegung der ACSI Schnittstelle X4

SCSI X5

Pin 1	SCSI_REQn
Pin 2	SCSI_MSGn
Pin 3	SCSI_IOn
Pin 4	SCSI_RSTn
Pin 5	SCSI_ACKn
Pin 6	SCSI_BUSYn
Pin 7	GND
Pin 8	SCSI_D0
Pin 9	GND
Pin 10	SCSI_D3
Pin 11	SCSI_D5
Pin 12	SCSI_D6
Pin 13	SCSI_D7
Pin 14	GND
Pin 15	SCSI_DCn
Pin 16	GND
Pin 17	SCSI_ATNn
Pin 18	GND
Pin 19	SCSI_SELn
Pin 20	SCSI_DPn
Pin 21	SCSI_D1
Pin 22	SCSI_D2
Pin 23	SCSI_D4
Pin 24	GND
Pin 25	TERM

Tabelle 4: Belegung der SCSI Schnittstelle X5

IDE X7: Belegung gemäß Standard;

Bei Verwendung von Laufwerken im Cable Select Modus ist diese Schnittstelle der Master.

(Steckertyp auf der Leiterplatte: MA22-2_RM2 von Samtec)

VGA X8

Pin 1	VIDEO_R
Pin 2	VIDEO_G
Pin 3	VIDEO_B
Pin 4	n.c.
Pin 5	GND
Pin 6	GND
Pin 7	GND
Pin 8	GND
Pin 9	n.c.
Pin 10	GND
Pin 11	n.c.
Pin 12	n.c.
Pin 13	HSYNCn
Pin 14	VSYNcn
Pin 15	n.c.

Tabelle 5: Belegung des VGA Anschlusses X8

Atari Video X9

Pin 1	AUDIO_OUT
Pin 2	COMP_SYNC
Pin 3	CRT_PIN3
Pin 4	CRT_PIN4
Pin 5	AUDIO_IN
Pin 6	VIDEO_G
Pin 7	VIDEO_R
Pin 8	VCC via 1K2
Pin 9	HSYNCn
Pin 10	VIDEO_B
Pin 11	VIDEO_MONO
Pin 12	VSYNcn
Pin 13	GND

Tabelle 6: Belegung der Atari Videobuchse X9

Speaker X17

Pin1 = Audio, Pin 2 = GND

GPO X18

Pin1 = GPO, Pin2 = GND

MIDI X19

Pin 1	GND
Pin 2	UART_MIDI_RTSn
Pin 3	UART_MIDI_DCDn
Pin 4	UART_MIDI_CTSn
Pin 5	VCCIO

Tabelle 7: Belegung der MIDI Schnittstelle X19

MIDI-In X20

Pin 1	n.c.
Pin 2	n.c.
Pin 3	n.c.
Pin 4	Optocoupler-Diode-Anode
Pin 5	Optocoupler-Diode-Cathode

Tabelle 8: Belegung der MIDI-In Buchse X20

MIDI-Out X21

Pin 1	VCC via 220R0
Pin 2	GND
Pin 3	MIDI_TLR
Pin 4	VCC via 220R0
Pin 5	MIDI_OLR

Tabelle 9: Belegung der MIDI-Out Buchse X21

ROM Selects X22

Pin 1	ROM0n
Pin 2	ROM1n
Pin 3	ROM2n
Pin 4	ROM3n
Pin 5	ROM4n
Pin 6	ROM5n
Pin 7	ROM6n
Pin 8	Masse

Tabelle 10: Belegung des ROM Selects Steckers X22

Atari KBD X23

Pin 1	VCC
Pin 2	VCC
Pin 3	KEYB_TxD
Pin 4	KEYB_RxD
Pin 5	GND
Pin 6	GND

Tabelle 11: Belegung der Atari Tastaturbuchse X23

AUX1 X24

Pin 1	GND
Pin 2	IC39_PB1
Pin 3	S/P-DIF Signal vom optischen Empfänger.
Pin 4	IC39_PC4
Pin 5	VCCIO

Tabelle 12: Belegung der AUX1 Schnittstelle X24

Joyport 2 X25

Pin 1	DATA3
Pin 2	DATA2
Pin 3	DATA1
Pin 4	DATA0
Pin 5	MONOFLOP3
Pin 6	BUTTON3
Pin 7	VCC
Pin 8	n.c.
Pin 9	GND
Pin 10	BUTTON3
Pin 11	DATA11
Pin 12	DATA10
Pin 13	DATA9
Pin 14	DATA8
Pin 15	MONOFLOP4

Tabelle 13: Belegung der Joyport2 Schnittstelle X25

Joyport 1 X26

Pin 1	DATA7
Pin 2	DATA6
Pin 3	DATA5
Pin 4	DATA4
Pin 5	MONOFLOP1
Pin 6	BUTTON1
Pin 7	VCC
Pin 8	n.c.
Pin 9	GND
Pin 10	BUTTON2
Pin 11	DATA15
Pin 12	DATA14
Pin 13	DATA13
Pin 14	DATA12
Pin 15	MONOFLOP2

Tabelle 14: Belegung der Joyport1 Schnittstelle X25

Extension X27; (Steckertyp auf der Leiterplatte: TML-132 von Samtec)

Pin 1	DATA0
Pin 2	ADR23
Pin 3	DATA1
Pin 4	ADR22
Pin 5	DATA2
Pin 6	ADR21
Pin 7	DATA3
Pin 8	ADR20
Pin 9	DATA4
Pin 10	ADR19
Pin 11	DATA5
Pin 12	ADR18
Pin 13	DATA6
Pin 14	ADR17
Pin 15	DATA7
Pin 16	ADR16
Pin 17	DATA8
Pin 18	ADR15
Pin 19	DATA9
Pin 20	ADR14
Pin 21	DATA10
Pin 22	ADR13
Pin 23	DATA11
Pin 24	ADR12
Pin 25	DATA12
Pin 26	ADR11
Pin 27	DATA13
Pin 28	ADR10
Pin 29	DATA14
Pin 30	ADR9
Pin 31	DATA15
Pin 32	ADR8
Pin 33	HALTn
Pin 34	ADR7
Pin 35	BRn
Pin 36	ADR6
Pin 37	BGACKn
Pin 38	ADR5
Pin 39	DTACKn

Pin 40	ADR4
Pin 41	VPA _n
Pin 42	ADR3
Pin 43	BERR _n
Pin 44	ADR2
Pin 45	EINT7 _n
Pin 46	ADR1
Pin 47	EINT5 _n
Pin 48	RESET _n
Pin 49	EINT3 _n
Pin 50	VMA _n
Pin 51	FC2
Pin 52	E
Pin 53	FC1
Pin 54	BGO _n
Pin 55	FC0
Pin 56	CLK8
Pin 57	RW _n
Pin 58	AVEC _n
Pin 59	LDS _n
Pin 60	GND
Pin 61	UDS _n
Pin 62	GND
Pin 63	AS _n
Pin 64	GND

Tabelle 15: Belegung des Erweiterungssteckers X27

Rom-Port (Cartridge) X28; (Steckertyp auf der Leiterplatte: TML-120RA von Samtec)

Pin 1	VCCIO
Pin 2	GND
Pin 3	DATA14
Pin 4	DATA15
Pin 5	DATA12
Pin 6	DATA13
Pin 7	DATA10
Pin 8	DATA11
Pin 9	DATA8
Pin 10	DATA9
Pin 11	DATA6

Pin 12	DATA7
Pin 13	DATA4
Pin 14	DATA5
Pin 15	DATA2
Pin 16	DATA3
Pin 17	DATA0
Pin 18	DATA1
Pin 19	ADR13
Pin 20	ADR15
Pin 21	ADR8
Pin 22	ADR14
Pin 23	ADR7
Pin 24	ADR9
Pin 25	ADR6
Pin 26	ADR10
Pin 27	ADR5
Pin 28	ADR12
Pin 29	ADR11
Pin 30	ADR4
Pin 31	ROM3n
Pin 32	ADR3
Pin 33	ROM4n
Pin 34	ADR2
Pin 35	UDSn
Pin 36	ADR1
Pin 37	LDSn
Pin 38	GND
Pin 39	GND
Pin 40	GND

Tabelle 16: Belegung des Cartridge Steckers X28

Floppy Disk X29

Pin 1	FDTYPE
Pin 2	FDD_MOn
Pin 3	FDD_RDn
Pin 4	FDD_DIRCn
Pin 5	FDD_SDSEL
Pin 6	FDD_WGn
Pin 7	FDD_D1SEL
Pin 8	GND
Pin 9	FDD_TR00n
Pin 10	FDD_WPn
Pin 11	VCC
Pin 12	FDD_STEPn
Pin 13	FDD_IPn
Pin 14	FDD_WDn
Pin 15	FDD_D0SEL

Tabelle 17: Belegung der Floppy Buchse X29

Printer Port X30

Pin 1	LPT_STRB
Pin 2	LPT_D0
Pin 3	LPT_D1
Pin 4	LPT_D2
Pin 5	LPT_D3
Pin 6	LPT_D4
Pin 7	LPT_D5
Pin 8	LPT_D6
Pin 9	LPT_D7
Pin 10	n.c.
Pin 11	LPT_BSY
Pin 12	n.c.
Pin 13	n.c.
Pin 14	n.c.
Pin 15	n.c.
Pin 16	n.c.
Pin 17	n.c.
Pin 18	GND
Pin 19	GND
Pin 20	GND

Pin 21	GND
Pin 22	GND
Pin 23	GND
Pin 24	GND
Pin 25	GND

Tabelle 18: Belegung der Druckerschnittstelle X30

RS232 X31

Pin 1	COM_RI
Pin 2	COM_DCD
Pin 3	COM_DTR
Pin 4	GND
Pin 5	COM_RxD
Pin 6	COM_TxD
Pin 7	COM_CTS
Pin 8	COM_RTS

Tabelle 19: Belegung der Buchse der seriellen Schnittstelle X31

ALARM X32

Pin 1	RTC_INTn
Pin 2	GND
Pin 3	RTC_SQW

Tabelle 20: Belegung des RTC Alarmsteckers X32

AUX2 X33

Pin 1	MWK
Pin 2	MWD
Pin 3	MWE _n
Pin 4	FCLK
Pin 5	SCSI_WR _n
Pin 6	VS _Y NC
Pin 7	SCSI_RD _n
Pin 8	HS _Y NC
Pin 9	XFF827E_D4
Pin 10	GND

Tabelle 21: Belegung der AUX2 Schnittstelle X33

Ethernet X34

Pin 1	TD+
Pin 2	TD-
Pin 3	RD+
Pin 4	VCCIO
Pin 5	n.c.
Pin 6	RD-
Pin 7	n.c.
Pin 8	GND

Tabelle 22: Belegung der Ethernetbuchse X34

AUX3 X36

Pin 1	GND
Pin 2	IC36 PA0
Pin 3	IC36 PA1
Pin 4	IC36 PA2
Pin 5	IC36 PA3
Pin 6	IC36 PA4
Pin 7	IC36 PA5
Pin 8	VCC

Tabelle 23: Belegung der AUX3 Schnittstelle X36

PS2-MOUSE X37

Pin 1	PS2_B_D
Pin 2	n.c.
Pin 3	GND
Pin 4	VCC
Pin 5	PS2_B_CLK
Pin 6	n.c.

Tabelle 24: Belegung der PS/2 Mausbuchse X37

PS2_Debug X39

Pin 1	TxD
Pin 2	RxD
Pin 3	GND

Tabelle 25: Belegung des PS/2 Microcontroller Debugging Steckers X39

PS2-KBD X40

Pin 1	PS2_A_D
Pin 2	n.c.
Pin 3	GND
Pin 4	VCC
Pin 5	PS2_A_CLK
Pin 6	n.c.

Tabelle 26: Belegung der PS/2 Tastaturbuchse X40

SDC_Debug X43

Pin 1	TxD
Pin 2	RxD
Pin 3	GND

Tabelle 27: Belegung des SDC Microcontroller Debugging Steckers X43

LCD X44

Pin 1	GND
Pin 2	VDCLK
Pin 3	LLCLK
Pin 4	LFS
Pin 5	GND
Pin 6	GND
Pin 7	LDAT0
Pin 8	LDAT1
Pin 9	LDAT2
Pin 10	LDAT
Pin 11	UDAT0
Pin 12	UDAT1
Pin 13	UDAT2
Pin 14	UDAT
Pin 15	LCD_VBIAS
Pin 16	VCC

Tabelle 28: Belegung der LCD Schnittstelle X44

AUX-USB X45

Pin 1	IC39 PA2
Pin 2	IC39 PA3
Pin 3	GND

Tabelle 29: Belegung der AUX-USB Schnittstelle X45

SYSCTRL_Debug X47

Pin 1	TxD
Pin 2	RxD
Pin 3	GND

Tabelle 30: Belegung des SYS Microcontroller Debugging Steckers X47

Power X48

Mitte = +7V bis +12V, Außen = GND.

Anhang 2: Tastatur-Scancodes / Umsetztabelle

Die in grün hinterlegten Scancodes weisen die folgenden Unterschiede zu Atari Tastaturen auf:

Pos 1 = CtlrHome, Pause = Undo, Druck = Help,

Nicht belegt = '(' Ziffernblock, Nicht belegt = ')' Ziffernblock.

Scancode	Zeichen D	Scancode	Zeichen D	Scancode	Zeichen D	Scancode	Zeichen D
1	ESC	35	H	69	Nicht belegt	103	7 Ziffernblock
2	1	36	J	70	Nicht belegt	104	8 Ziffernblock
3	2	37	K	71	Pos1, CtlrHome	105	9 Ziffernblock
4	3	38	L	72	↑	106	4 Ziffernblock
5	4	39	Ö	73	Nicht belegt	107	5 Ziffernblock
6	5	40	Ä	74	- Ziffernblock	108	6 Ziffernblock
7	6	41	#	75	←	109	1 Ziffernblock
8	7	42	Shiftt links	76	Nicht belegt	110	2 Ziffernblock
9	8	43	~	77	→	111	3 Ziffernblock
10	9	44	Y	78	+ Ziffernblock	112	0 Ziffernblock
11	0	45	X	79	Nicht belegt	113	, Ziffernblock
12	ß	46	C	80	↓	114	Enter Ziffblock
13	'	47	V	81	Nicht belegt	115	Nicht belegt
14	Backspace	48	B	82	Insert	116	Nicht belegt
15	TAB	49	N	83	Delete	117	Nicht belegt
16	Q	50	M	84	Shift-F1	118	Nicht belegt
17	W	51	,	85	Shift-F2	119	Nicht belegt
18	E	52	.	86	Shift-F3	120	ALT 1
19	R	53	-	87	Shift-F4	121	ALT 2
20	T	54	Shift rechts	88	Shift-F5	122	ALT 3
21	Z	55	Nicht belegt	89	Shift-F6	123	ALT 4
22	U	56	Alternate	90	Shift-F7	124	ALT 5
23	I	57	Leertaste	91	Shift-F8	125	ALT 6
24	O	58	CapsLock	92	Shift-F9	126	ALT 7
25	P	59	F1	93	Shift-F10	127	ALT 8
26	Ü	60	F2	94	Nicht belegt	128	ALT 9
27	+	61	F3	95	Nicht belegt	129	ALT 0
28	Return	62	F4	96	<	130	ALT ß
29	Control	63	F5	97	Pause, Undo	131	ALT '
30	A	64	F6	98	Druck, Help	132	Nicht belegt
31	S	65	F7	99	n.b., (Ziffernblock		
32	D	66	F8	100	n.b.,) Ziffernblock		
33	F	67	F9	101	/ Ziffernblock		
34	G	68	F10	102	* Ziffernblock		

Anhang 3: Mega STE Konfigurationsschalter

README zum CPX-Modul "DIPS":

Mit diesem Modul kann die Einstellung der DIP-Schalter des MEGA-STE bzw. TT ausgelesen und verändert werden. Die Software "überschreibt" dabei die Hardware. Dies funktioniert deshalb, weil nach einem Reset die Stellung der DIP-Switches vom TOS ausgelesen und im Cookie "_SWI" abgelegt wird. In diesem Cookie kann die Einstellung nun verändert werden, ohne den Rechner öffnen zu müssen. Die acht Schalter belegen dabei die untersten acht Bit des Cookie-Langwortes. Ist ein Schalter EINGeschaltet, so ist das korrespondierende Bit =0, anderenfalls =1. Bisher sind allerdings nur die Bedeutung von zwei Schaltern bekannt:

Schalter 8:

AUS = System hat DMA-Sound (wird im _SND- Cookie, Bit 1 angezeigt)

Schalter 7:

Bestimmt, ob das System mit (mindestens) einem HD-Disketten-Laufwerk ausgerüstet ist. Ab TOS 2.05/3.05 ist dann die Bedienung von HD-Laufwerken vom Desktop aus möglich.

Mehr zu diesem Thema im Artikel der ST-Computer 9/91, Seite 100 ff.

mfg WOLFGANG

Anhang 4: Schaltbild

Um bezüglich des Schaltbilds immer eine aktuelle Information zu liefern, möchten wir an dieser Stelle auf das Dokument „Schematics_Suska-III-C_Series-1.pdf“ verweisen, welches im Downloadbereich von experiment-s.de oder inventronik.de in der aktuellen Version erhältlich ist.

Anhang 5: Bestückungsdrucke

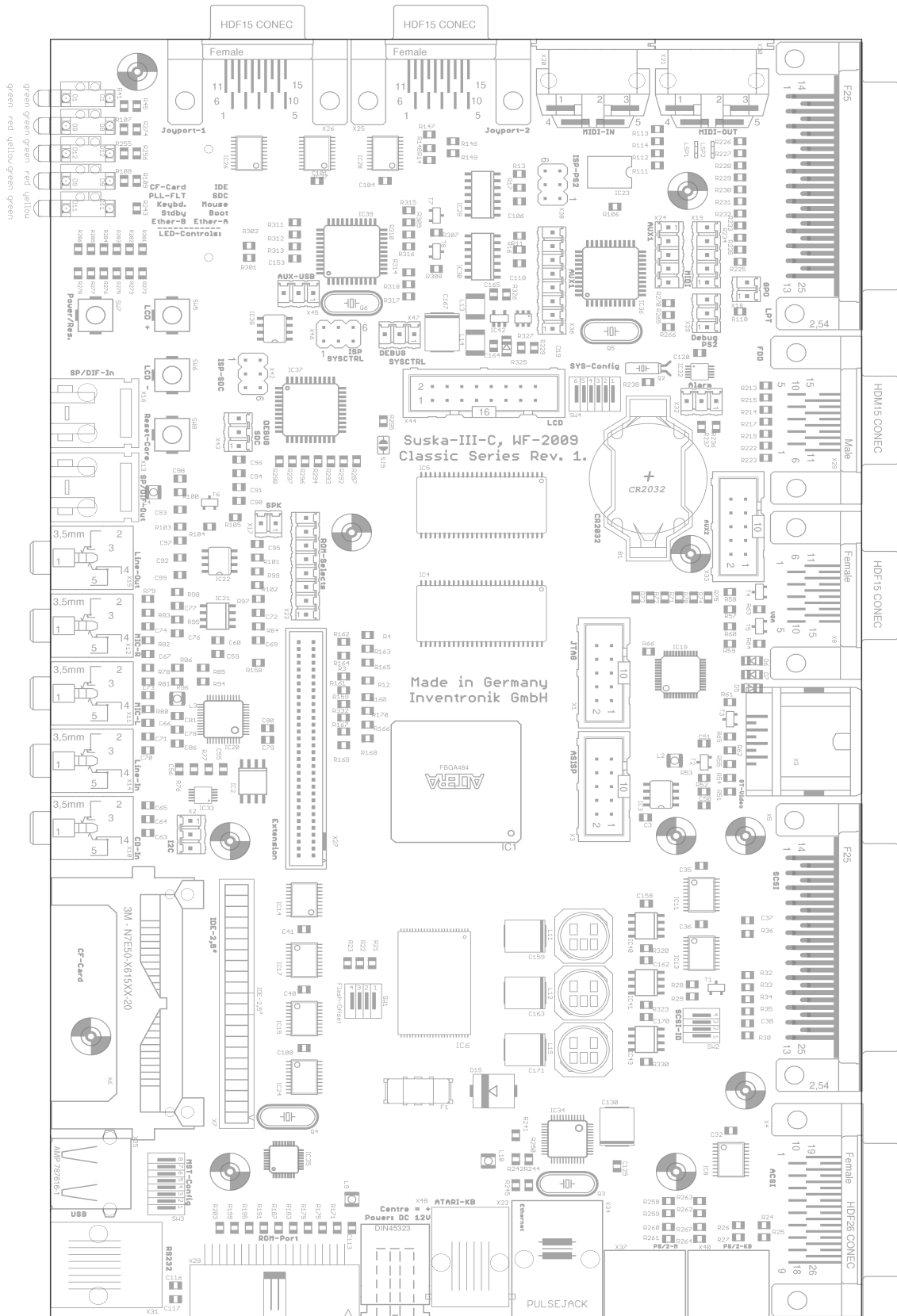


Abbildung 23: Suska-III-C Bestückungs-Aufsicht

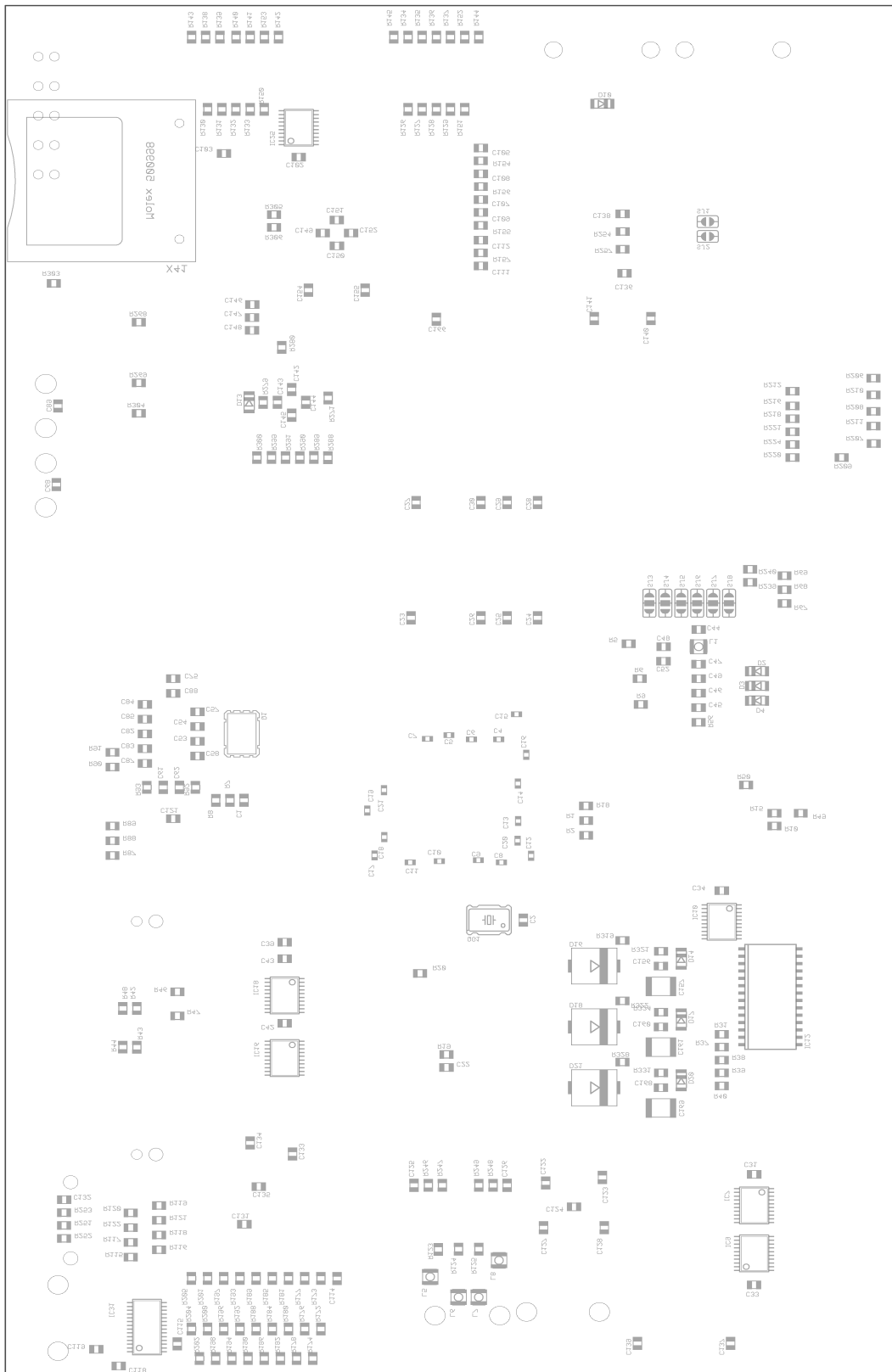


Abbildung 24: Suska-III-C Unterseite

Anhang 6: Weiterführende Literatur

1. Siemers C.; Logikbausteine; Vogel Buchverlag; Würzburg; 2002.
2. Tischler M., Oertel K.; FPGAs und CPLDs; Hüthig GmbH; Heidelberg; 1998.
3. Reichardt J., Schwarz B.; VHDL-Synthese; Oldenbourg Wissenschaftsverlag; München; 2001.
4. Molitor P., Ritter J.; VHDL Eine Einführung; Pearson Studium; München; 2004.
5. Seifart M., Beikirch H.; Digitale Schaltungen; Verlag Technik; Berlin; 1998.
6. Lehman G., Wunder B., Selz M.; Schaltungsdesign mit VHDL; frei im Internet verfügbar.
7. Ashenden P. J.; The Designers Guide To VHDL; Morgan Kaufmann Publishers; New York; 2002.
8. Ten Hagen K.; Abstrakte Modellierung digitaler Schaltungen; Springer Verlag; Berlin; 1995.

Anhang 7: Web-Links

1. Inventronik Home: www.inventronik.de
2. experiment-S Home: www.experiment-s.de
3. IP-Cores: www.opencores.org
4. Funsite: www.fpgaarcade.com
5. Altera FPGAs: www.altera.com